

## Family list

23 application(s) for: JP2006228744 (A)

Sorting criteria: Priority Date Inventor Applicant Ecla

### 1 Electrooptical device and electronic device

<b>Inventor:</b> SHUNPEI YAMAZAKI [JP] ; OYAMA JUN [JP] (+1)	<b>Applicant:</b> SEMICONDUCTOR ENERGY LAB [JP]
<b>EC:</b> H01L21/77T; H01L27/12; (+5)	<b>IPC:</b> H01L21/77; H01L27/12; H01L27/32; (+14)
<b>Publication info:</b> CN1278109 (A) - 2000-12-27 CN1193435 (C) - 2005-03-16	<b>Priority Date:</b> 1999-06-04

### 2 Electro-optical device and electronic device

<b>Inventor:</b> SHUNPEI YAMAZAKI [JP] ; KOYAMA JUN [JP] (+2)	<b>Applicant:</b> SEMICONDUCTOR ENERGY LAB LTD [JP]
<b>EC:</b> H01L21/77T; H01L27/12; (+5)	<b>IPC:</b> H01L21/77; H01L27/12; H01L27/32; (+14)
<b>Publication info:</b> CN1577016 (A) - 2005-02-09 CN1327283 (C) - 2007-07-18	<b>Priority Date:</b> 1999-06-04

### 3 Electro-optical device and electronic device

<b>Inventor:</b> SHUNPEI YAMAZAKI [JP] ; KOYAMA JUN [JP] (+2)	<b>Applicant:</b> SEMICONDUCTOR ENERGY LAB [JP]
<b>EC:</b> H01L21/77T; H01L27/12; (+5)	<b>IPC:</b> H01L21/77; H01L27/12; H01L27/32; (+15)
<b>Publication info:</b> CN1662106 (A) - 2005-08-31 CN100595932 (C) - 2010-03-24	<b>Priority Date:</b> 1999-06-04

### 4 Electro-optical device and electronic device

<b>Inventor:</b> TOSHIMITSU YAMAZAKI SHUNPEI KO [JP]	<b>Applicant:</b> SEMICONDUCTOR ENERGY LAB [JP]
<b>EC:</b> H01L21/77T; H01L27/12; (+5)	<b>IPC:</b> H01L21/77; H01L27/00; H01L27/12; (+17)
<b>Publication info:</b> CN1808723 (A) - 2006-07-26	<b>Priority Date:</b> 1999-06-04

### 5 Electro-optical device and electronic device

<b>Inventor:</b> TOSHIMITSU YAMAZAKI SHUNPEI KO [JP]	<b>Applicant:</b> SEMICONDUCTOR ENERGY LAB [JP]
<b>EC:</b> H01L21/77T; H01L27/12; (+5)	<b>IPC:</b> H01L21/77; H01L27/12; H01L27/32; (+14)
<b>Publication info:</b> CN1874026 (A) - 2006-12-06	<b>Priority Date:</b> 1999-06-04

### 6 Electro-optical device and electronic device

<b>Inventor:</b> YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+2)	<b>Applicant:</b> SEMICONDUCTOR ENERGY LAB [JP]
<b>EC:</b> H01L21/77T; H01L27/12; (+5)	<b>IPC:</b> H01L21/77; H01L21/84; H01L27/12; (+12)
<b>Publication info:</b> DE60036436 (T2) - 2008-02-28	<b>Priority Date:</b> 1999-06-04

### 7 Electro-optical device and electronic device

<b>Inventor:</b> YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+2)	<b>Applicant:</b> SEMICONDUCTOR ENERGY LAB [JP]
<b>EC:</b> H01L21/77T; H01L27/12; (+5)	<b>IPC:</b> H01L21/77; H01L27/12; H01L27/32; (+13)
<b>Publication info:</b> EP1058311 (A2) - 2000-12-06 EP1058311 (A3) - 2005-11-02 EP1058311 (B1) - 2007-09-19	<b>Priority Date:</b> 1999-06-04

### 8 Electro-optical device and electronic device

<b>Inventor:</b> YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+2)	<b>Applicant:</b> SEMICONDUCTOR ENERGY LAB [JP]
<b>EC:</b> H01L21/77T; H01L27/12; (+6)	<b>IPC:</b> H01L21/77; H01L27/12; H01L27/32; (+11)
<b>Publication info:</b> EP1562231 (A2) - 2005-08-10 EP1562231 (A3) - 2005-10-26	<b>Priority Date:</b> 1999-06-04

### 9 Electro-optical device and electronic device

<b>Inventor:</b> YAMAZAKI SHUNPEI [JP] ; KOYAMA	<b>Applicant:</b> SEMICONDUCTOR ENERGY LAB
---	--

JUN [JP] (+2)	[JP]
EC: H01L21/77T; H01L27/12; (+6)	IPC: H01L21/77; H01L21/84; H01L27/12; (+10)
Publication EP1717859 (A2) - 2006-11-02	Priority Date: 1999-06-04
info: EP1717859 (A3) - 2007-04-25	

## 10 Electro-optical device and electronic device

Inventor: YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+2)	Applicant: SEMICONDUCTOR ENERGY LAB [JP]
EC: H01L21/77T; H01L27/12; (+6)	IPC: H01L21/77; H01L27/12; H01L27/32; (+9)
Publication EP1770779 (A2) - 2007-04-04	Priority Date: 1999-06-04
info: EP1770779 (A3) - 2007-07-04	

## 11 ELECTRO-OPTIC DEVICE AND ELECTRONIC APPLIANCE

Inventor: YAMAZAKI SHUNPEI ; KOYAMA JUN (+2)	Applicant: SEMICONDUCTOR ENERGY LAB
EC:	IPC: G09F9/30; H01L21/336; H01L21/8234; (+25)
Publication JP2001051622 (A) - 2001-02-23	Priority Date: 1999-06-04
info: JP3904807 (B2) - 2007-04-11	

## 12 CAR AUDIO, DISPLAY DEVICE, AND PERSONAL DIGITAL ASSISTANT

Inventor: YAMAZAKI SHUNPEI ; KOYAMA JUN (+2)	Applicant: SEMICONDUCTOR ENERGY LAB
EC:	IPC: G09F9/30; H01L27/32; H01L51/50; (+7)
Publication JP2006228744 (A) - 2006-08-31	Priority Date: 1999-06-04
info: JP4408118 (B2) - 2010-02-03	

## 13 ELECTRO-OPTICAL DEVICE AND ELECTRONIC DEVICE

Inventor: YAMAZAKI SHUNPEI ; KOYAMA JUN (+2)	Applicant: SEMICONDUCTOR ENERGY LAB
EC:	IPC: G09F9/30; H01L27/32; H01L51/50; (+3)
Publication JP2006011454 (A) - 2006-01-12	Priority Date: 1999-06-04
info:	

## 14 DISPLAY DEVICE

Inventor: YAMAZAKI SHUNPEI ; KOYAMA JUN (+2)	Applicant: SEMICONDUCTOR ENERGY LAB
EC: H01L21/77T; H01L27/12; (+5)	IPC: H01L21/77; H01L27/12; H01L27/32; (+12)
Publication JP2009218223 (A) - 2009-09-24	Priority Date: 1999-06-04
info:	

## 15 ELECTRO-OPTICAL DEVICE AND ELECTRONIC DEVICE

Inventor: KONUMA TOSHIMITSU ; KOYAMA JUN (+2)	Applicant: SEMICONDUCTOR ENERGY LAB KK
EC: H01L21/77T; H01L27/12; (+5)	IPC: H01L21/77; H01L27/12; H01L27/32; (+12)
Publication KR20010039643 (A) - 2001-05-15	Priority Date: 1999-06-04
info: KR100674581 (B1) - 2007-01-26	

**Family list**23 application(s) for: **JP2006228744 (A)**

Sorting criteria: Priority Date Inventor Applicant Ecla

**16 DISPLAY DEVICE**

**Inventor:** YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB KK [JP]  
**EC:** H01L21/77T; H01L27/12; (+5) **IPC:** H01L21/77; H01L27/12; H01L27/32; (+13)  
**Publication** KR20050067370 (A) - 2005-07-01 **Priority Date:** 1999-06-04  
**info:** KR100707887 (B1) - 2007-04-16

**17 SEMICONDUCTOR DEVICE AND CAR AUDIO SYSTEM**

**Inventor:** YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB KK [JP]  
**EC:** H01L21/77T; H01L27/12; (+5) **IPC:** H01L21/77; H01L27/12; H01L27/32; (+11)  
**Publication** KR20070001846 (A) - 2007-01-04 **Priority Date:** 1999-06-04  
**info:** KR100707888 (B1) - 2007-04-16

**18 LIGHT EMITTING DEVICE**

**Inventor:** YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB KK [JP]  
**EC:** H01L21/77T; H01L27/12; (+5) **IPC:** H01L21/77; H01L27/12; H01L27/32; (+11)  
**Publication** KR20070004467 (A) - 2007-01-09 **Priority Date:** 1999-06-04  
**info:**

**19 Electro-optical device and electronic device**

**Inventor:** YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]  
**EC:** H01L21/77T; H01L27/12; (+5) **IPC:** H01L21/77; H01L27/12; H01L27/32; (+12)  
**Publication** TW457728 (B) - 2001-10-01 **Priority Date:** 1999-06-04  
**info:**

**20 Electro-optical device and electronic device**

**Inventor:** YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]  
**EC:** H01L27/12; H01L27/32M2; (+4) **IPC:** H01L27/12; H01L27/32; H01L29/04; (+9)  
**Publication** US2006097256 (A1) - 2006-05-11 **Priority Date:** 1999-06-04  
**info:** US7642559 (B2) - 2010-01-05

**21 Electro-optical device and electronic device**

**Inventor:** YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]  
**EC:** H01L27/12; H01L27/32M2; (+4) **IPC:** H01L27/12; H01L27/32; H01L29/423; (+9)  
**Publication** US2005161672 (A1) - 2005-07-28 **Priority Date:** 1999-06-04  
**info:** US7701134 (B2) - 2010-04-20

**22 Electro-optical device and electronic device**

**Inventor:** YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]  
**EC:** H01L27/12; H01L27/32M2; (+4) **IPC:** H01L27/12; H01L27/32; H01L29/04; (+9)  
**Publication** US2006192205 (A1) - 2006-08-31 **Priority Date:** 1999-06-04  
**info:** US7741775 (B2) - 2010-06-22

**23 Electro-optical device and electronic device**


**Inventor:** YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB LTD [JP]  
**EC:** H01L27/12; H01L27/32M2; (+4) **IPC:** H01L27/12; H01L27/32; H01L29/423; (+8)  
**Publication** US2004065902 (A1) - 2004-04-08 **Priority Date:** 1999-06-04  
**info:**



# CAR AUDIO, DISPLAY DEVICE, AND PERSONAL DIGITAL ASSISTANT

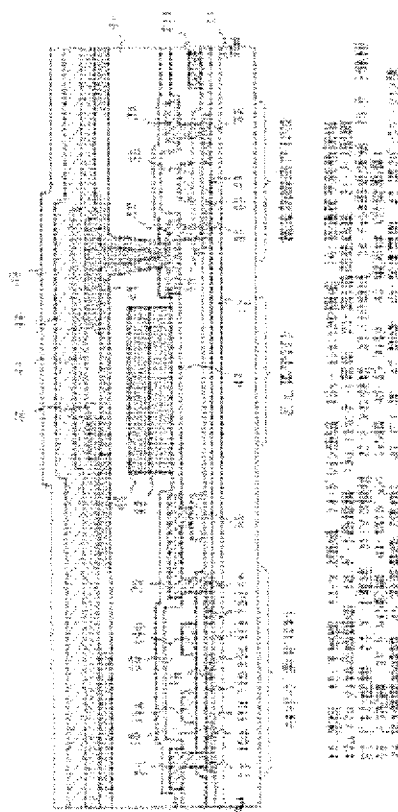
**Patent number:** JP2006228744 (A)  
**Publication date:** 2006-08-31  
**Inventor(s):** YAMAZAKI SHUNPEI; KOYAMA JUN; YAMAMOTO ICHIU;  
KONUMA TOSHIMITSU +  
**Applicant(s):** SEMICONDUCTOR ENERGY LAB +  
**Classification:**  
- international: G09F9/30; H01L27/32; H01L51/50; H05B33/04; H05B33/10;  
G09F9/30; H01L27/28; H01L51/50; H05B33/04; H05B33/10  
- european:  
**Application number:** JP20060075279 20060317  
**Priority number(s):** JP19990158787 19990604; JP20060075279 20060317

Also published as:

 JP4408118 (B2)

## Abstract of JP 2006228744 (A)

**PROBLEM TO BE SOLVED:** To provide an EL display device with high operation performance and reliability. ; **SOLUTION:** A switching TFT201 formed in a pixel has a multi-gating structure, which is a structure focusing on reduction of an OFF state current value. A current controlling TFT202 has a channel width larger than the switching TFT and has a structure suitable for applying a current. An LDD area 33 of the current controlling TFT202 is formed so that its part overlaps a gate electrode 35 and has a structure focusing on prevention of hot carrier injection and reduction of the OFF state current value. ; **COPYRIGHT:** (C)2006,JPO&NCIPI



(51) Int. Cl.	F I	テーマコード (参考)
H05B 33/04 (2006.01)	H05B 33/04	3K007
H05B 33/10 (2006.01)	H05B 33/10	5C094
H01L 51/50 (2006.01)	H05B 33/14 A	
G09F 9/30 (2006.01)	G09F 9/30 365Z	
H01L 27/32 (2006.01)	G09F 9/30 349Z	

審査請求 有 請求項の数 15 O L (全 41 頁)

(21) 出願番号	特願2006-75279 (P2006-75279)	(71) 出願人	000153878
(22) 出願日	平成18年3月17日 (2006.3.17)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2005-186259 (P2005-186259) の分割	(72) 発明者	山崎 舜平
原出願日	平成12年6月2日 (2000.6.2)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願平11-158787	(72) 発明者	小山 潤
(32) 優先日	平成11年6月4日 (1999.6.4)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	山本 一字
			神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		(72) 発明者	小沼 利光
			神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

最終頁に続く

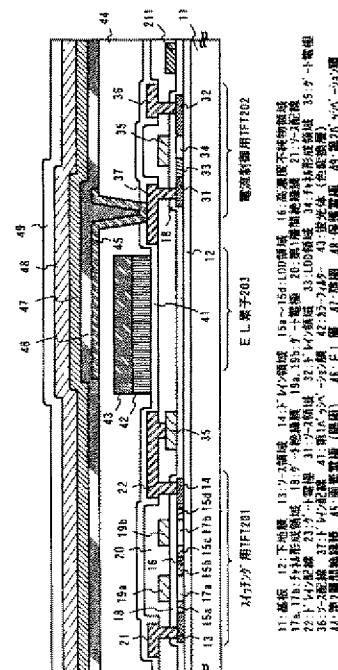
(54) 【発明の名称】 カーオーディオ、表示装置及び携帯情報端末

## (57) 【要約】

【課題】 動作性能および信頼性の高いE L表示装置を提供する。

【解決手段】 画素内に形成されるスイッチング用T F T 201はマルチゲート構造になっており、オフ電流値の低減に重点をおいた構造となっている。また、電流制御用T F T 202はスイッチング用T F Tよりも大きなチャネル幅を有し、電流を流すのに適した構造となっている。さらに、電流制御用T F T 202のL D D領域33は、ゲート電極35と一部が重なるように形成され、ホットキャリア注入の防止とオフ電流値の低減に重点をおいた構造となっている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板と、

前記基板上に形成された発光素子と、

前記発光素子上に形成されたハウジング材とを有し、

前記ハウジング材は、凹部を有する形状であり、接着剤により前記基板に固着されていることを特徴とするカーオーディオ。

【請求項 2】

ガラス基板と、

前記ガラス基板上に形成された発光素子と、

前記発光素子上に形成されたガラスからなるハウジング材とを有し、

前記ハウジング材は、凹部を有する形状であり、接着剤により前記ガラス基板に固着されていることを特徴とするカーオーディオ。

10

【請求項 3】

ガラス基板と、

前記ガラス基板上に形成された発光素子と、

前記発光素子上に形成されたガラスからなるハウジング材とを有し、

前記ハウジング材は、凹部を有する形状であり、接着剤により前記ガラス基板に固着され、

前記凹部には、乾燥剤が設けられていることを特徴とするカーオーディオ。

20

【請求項 4】

ガラス基板と、

前記ガラス基板上に形成された、透明導電膜でなる第 1 の電極と、第 2 の電極と、当該第 1 の電極及び当該第 2 の電極の間に設けられた発光層とを有する発光素子と、

前記発光素子上に形成されたガラスからなるハウジング材とを有し、

前記ハウジング材は、凹部を有する形状であり、接着剤により前記ガラス基板に固着され、

前記凹部には、乾燥剤が設けられていることを特徴とするカーオーディオ。

【請求項 5】

基板と、

前記基板上に形成された発光素子と、

前記発光素子上に形成され、前記基板と対向して設けられたハウジング材とを有し、

前記ハウジング材は、第 1 の厚さを有する第 1 の領域と、第 2 の厚さを有する第 2 の領域とを有し、

前記第 1 の領域は、接着剤により前記基板に固着され、

前記第 2 の領域は、前記第 1 の領域内に配置されていることを特徴とするカーオーディオ。

30

【請求項 6】

基板と、

前記基板上に形成された発光素子と、

前記発光素子上に形成されたハウジング材とを有し、

前記ハウジング材は、凹部を有する形状であり、接着剤により前記基板に固着されていることを特徴とする表示装置。

40

【請求項 7】

ガラス基板と、

前記ガラス基板上に形成された発光素子と、

前記発光素子上に形成されたガラスからなるハウジング材とを有し、

前記ハウジング材は、凹部を有する形状であり、接着剤により前記ガラス基板に固着されていることを特徴とする表示装置。

【請求項 8】

50

ガラス基板と、  
前記ガラス基板上に形成された発光素子と、  
前記発光素子上に形成されたガラスからなるハウジング材とを有し、  
前記ハウジング材は、凹部を有する形状であり、接着剤により前記ガラス基板に固着され、  
前記凹部には、乾燥剤が設けられていることを特徴とする表示装置。

【請求項 9】

ガラス基板と、  
前記ガラス基板上に形成された、透明導電膜でなる第 1 の電極と、第 2 の電極と、当該第 1 の電極及び当該第 2 の電極の間に設けられた発光層とを有する発光素子と、  
前記発光素子上に形成されたガラスからなるハウジング材とを有し、  
前記ハウジング材は、凹部を有する形状であり、接着剤により前記ガラス基板に固着され、  
前記凹部には、乾燥剤が設けられていることを特徴とする表示装置。

10

【請求項 10】

基板と、  
前記基板上に形成された発光素子と、  
前記発光素子上に形成され、前記基板と対向して設けられたハウジング材とを有し、  
前記ハウジング材は、第 1 の厚さを有する第 1 の領域と、第 2 の厚さを有する第 2 の領域とを有し、  
前記第 1 の領域は、接着剤により前記基板に固着され、  
前記第 2 の領域は、前記第 1 の領域内に配置されていることを特徴とする表示装置。

20

【請求項 11】

基板と、  
前記基板上に形成された発光素子と、  
前記発光素子上に形成されたハウジング材とを有し、  
前記ハウジング材は、凹部を有する形状であり、接着剤により前記基板に固着されていることを特徴とする携帯情報端末。

【請求項 12】

ガラス基板と、  
前記ガラス基板上に形成された発光素子と、  
前記発光素子上に形成されたガラスからなるハウジング材とを有し、  
前記ハウジング材は、凹部を有する形状であり、接着剤により前記ガラス基板に固着されていることを特徴とする携帯情報端末。

30

【請求項 13】

ガラス基板と、  
前記ガラス基板上に形成された発光素子と、  
前記発光素子上に形成されたガラスからなるハウジング材とを有し、  
前記ハウジング材は、凹部を有する形状であり、接着剤により前記ガラス基板に固着され、  
前記凹部には、乾燥剤が設けられていることを特徴とする携帯情報端末。

40

【請求項 14】

ガラス基板と、  
前記ガラス基板上に形成された、透明導電膜でなる第 1 の電極と、第 2 の電極と、当該第 1 の電極及び当該第 2 の電極の間に設けられた発光層とを有する発光素子と、  
前記発光素子上に形成されたガラスからなるハウジング材とを有し、  
前記ハウジング材は、凹部を有する形状であり、接着剤により前記ガラス基板に固着され、  
前記凹部には、乾燥剤が設けられていることを特徴とする携帯情報端末。

【請求項 15】

50



基板と、  
前記基板上に形成された発光素子と、  
前記発光素子上に形成され、前記基板と対向して設けられたハウジング材とを有し、  
前記ハウジング材は、第１の厚さを有する第１の領域と、第２の厚さを有する第２の領域とを有し、  
前記第１の領域は、接着剤により前記基板に固着され、  
前記第２の領域は、前記第１の領域内に配置されていることを特徴とする携帯情報端末。

#### 【発明の詳細な説明】

#### 【技術分野】

10

#### 【０００１】

本発明は半導体素子（半導体薄膜を用いた素子）を基板上に作り込んで形成されたＥＬ（エレクトロルミネッセンス）表示装置に代表される電気光学装置及びその電気光学装置を表示ディスプレイ（表示部ともいう）として有する電子装置（電子デバイス）に関する。

#### 【背景技術】

#### 【０００２】

近年、基板上にＴＦＴを形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いたＴＦＴは、従来のアモルファスシリコン膜を用いたＴＦＴよりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

20

#### 【０００３】

このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られるとして注目されている。

#### 【０００４】

アクティブマトリクス型ＥＬ表示装置は、各画素のそれぞれにＴＦＴでなるスイッチング素子（Ｔ１）を設け、そのスイッチング素子によって電流制御を行う駆動素子（Ｔ２）を動作させてＥＬ層（発光層）を発光させる。この時、典型的な画素構造は、例えば米国特許番号５，６８４，３６５号（特開平８－２３４６８３号）のＦＩＧ．１に開示されている。

30

#### 【０００５】

同米国特許のＦＩＧ．１に示されるように、スイッチング用素子（Ｔ１）のドレインは電流制御用素子（Ｔ２）のゲート電極に接続されているが、それと並列にコンデンサ（Ｃｓ）にも接続されている。このコンデンサ（Ｃｓ）に蓄積された電荷で電流制御用素子（Ｔ２）のゲート電圧を維持するのである。

#### 【０００６】

逆に言えば、スイッチング素子（Ｔ１）が非選択時にある時、コンデンサ（Ｃｓ）がなければスイッチング素子（Ｔ１）を通じて電荷が漏れてしまい（この時流れる電流をオフ電流という）、電流制御用素子（Ｔ２）のゲート電極にかかる電圧を維持できなくなる。これはスイッチング素子（Ｔ１）をトランジスタで形成する上で避けられない問題である。しかしながら、このコンデンサ（Ｃｓ）は画素内に設けられるため、画素の有効発光面積（有効画像表示面積）を狭める要因になっていた。

40

#### 【０００７】

また、電流制御用素子（Ｔ２）はＥＬ層を発光させるために大電流を流す必要がある。即ち、ＴＦＴに求められる性能がスイッチング素子と電流制御用素子とではまるで異なってくる。このような場合、同一構造のＴＦＴだけでは全ての回路又は素子が求める性能を確保することは困難であった。

#### 【発明の開示】

#### 【発明が解決しようとする課題】

50

#### 【0008】

本発明は上記従来技術を鑑みてなされたものであり、動作性能及び信頼性の高い電気光学装置、特にEL表示装置を提供することを課題とする。そして、電気光学装置の画質を向上させることにより、それを表示ディスプレイとして有する電子装置（電子デバイス）の品質を向上させることを課題とする。

#### 【課題を解決するための手段】

#### 【0009】

上記課題を達成するために、本発明ではEL表示装置の各画素に含まれる素子が求める機能を鑑みて、最適な構造のTFTを割り当てている。即ち、同一画素内に異なる構造のTFTが存在することになる。

10

#### 【0010】

具体的には、オフ電流値を十分に低くさせることを最重要課題とする素子（スイッチング用素子など）は、動作速度よりもオフ電流値を低減させることに重点を置いたTFT構造とし、電流を流すことを最重要課題とする素子（電流制御用素子など）は、オフ電流値を低減させることよりも、電流を流すこと及びそれと同時に顕著な問題となるホットキャリア注入による劣化を抑制することに重点を置いたTFT構造とする。

#### 【0011】

本発明では、同一基板上で上記のようなTFTの使い分けを行うことによって、EL表示装置の動作性能の向上と信頼性の向上とを可能とする。なお、本発明の思想は、画素部に限ったものではなく、画素部と画素部を駆動する駆動回路部とを含めてTFT構造の最適化を図る点にも特徴がある。

20

#### 【発明の効果】

#### 【0012】

本発明を用いることで、同一基板上に、素子の求める仕様に応じて適切な性能のTFTを配置した画素を形成することが可能となり、アクティブマトリクス型EL表示装置の動作性能や信頼性を大幅に向上させることができる。

#### 【0013】

また、そのようなEL表示装置を表示ディスプレイとして有することで、画像品質が良く、耐久性のある（信頼性の高い）応用製品（電子装置）を生産することが可能となる。

#### 【発明を実施するための最良の形態】

30

#### 【0014】

本発明の実施の形態について、図1、図2を用いて説明する。図1に示したのは本発明であるEL表示装置の画素の断面図であり、図2（A）はその上面図、図2（B）はその回路構成である。実際にはこのような画素がマトリクス状に複数配列されて画素部（画像表示部）が形成される。

#### 【0015】

なお、図1の断面図は図2（A）に示した上面図においてA-A'で切断した切断面を示している。ここでは図1及び図2で共通の符号を用いているので、適宜両図面を参照すると良い。また、図2の上面図では二つの画素を図示しているが、どちらも同じ構造である。

40

#### 【0016】

図1において、11は基板、12は下地膜である。基板11としてはガラス基板、ガラスセラミックス基板、石英基板、シリコン基板、セラミックス基板、金属基板若しくはプラスチック基板（プラスチックフィルムも含む）を用いることができる。

#### 【0017】

また、下地膜12は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜12としては、珪素（シリコン）を含む絶縁膜を設ければ良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ $\text{SiO}_x\text{N}_y$ で示される）など珪素、酸素若しくは窒素を所定の割合で含む絶縁膜を指す。

50

#### 【0018】

ここでは画素内に二つのTFTを形成している。201はスイッチング用素子として機能するTFT（以下、スイッチング用TFTという）、202はEL素子へ流す電流量を制御する電流制御用素子として機能するTFT（以下、電流制御用TFTという）であり、どちらもnチャネル型TFTで形成されている。

#### 【0019】

nチャネル型TFTの電界効果移動度はpチャネル型TFTの電界効果移動度よりも大きいので、動作速度が早く電流を流しやすい。また、同じ電流量を流すにもTFTサイズはnチャネル型TFTの方が小さくできる。そのため、nチャネル型TFTを電流制御用TFTとして用いた方が表示部の有効面積が広がるので好ましい。

10

#### 【0020】

pチャネル型TFTはホットキャリア注入が殆ど問題にならず、オフ電流値が低いといった利点があつて、スイッチング用TFTとして用いる例や電流制御用TFTとして用いる例が既に報告されている。しかしながら本発明では、LDD領域の位置を異ならせた構造とすることでnチャネル型TFTにおいてもホットキャリア注入の問題とオフ電流値の問題を解決し、全ての画素内のTFT全てをnチャネル型TFTとしている点にも特徴がある。

#### 【0021】

ただし、本発明において、スイッチング用TFTと電流制御用TFTをnチャネル型TFTに限定する必要はなく、両方又はどちらか片方にpチャネル型TFTを用いることも可能である。

20

#### 【0022】

スイッチング用TFT201は、ソース領域13、ドレイン領域14、LDD領域15a~15d、高濃度不純物領域16及びチャンネル形成領域17a、17bを含む活性層、ゲート絶縁膜18、ゲート電極19a、19b、第1層間絶縁膜20、ソース配線21並びにドレイン配線22を有して形成される。

#### 【0023】

本発明の特徴は図2に示すようにゲート電極19a、19bは別の材料（ゲート電極19a、19bよりも低抵抗な材料）で形成されたゲート配線211によって電氣的に接続されたダブルゲート構造となっている点である。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャンネル形成領域を有する活性層を含む構造）であればよい。マルチゲート構造はオフ電流値を低減する上で極めて有効であり、本発明では画素のスイッチング用TFT201をマルチゲート構造とすることによりオフ電流値の低いスイッチング用TFTを実現している。

30

#### 【0024】

また、活性層は結晶構造を含む半導体膜で形成される。即ち、単結晶半導体膜でも良いし、多結晶半導体膜や微結晶半導体膜でも良い。また、ゲート絶縁膜18は珪素を含む絶縁膜で形成すれば良い。また、ゲート電極、ソース配線若しくはドレイン配線としてはあらゆる導電膜を用いることができる。

40

#### 【0025】

さらに、スイッチング用TFT201においては、LDD領域15a~15dは、ゲート絶縁膜18を挟んでゲート電極19a、19bと重ならないように設ける。このような構造はオフ電流値を低減する上で非常に効果的である。

#### 【0026】

なお、チャンネル形成領域とLDD領域との間にオフセット領域（チャンネル形成領域と同一組成の半導体層であり、ゲート電圧が印加されない領域）を設けることはオフ電流値を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャンネル形成領域の間に設けられた高濃度不純物領域がオフ電流値の低減に効果的である。

50

#### 【0027】

以上のように、本発明ではマルチゲート構造のTFTを画素のスイッチング用TFT 201として用いることにより、十分にオフ電流値の低いスイッチング素子を実現することにより特徴がある。そのため、従来例で述べたようなコンデンサ(Cs)を設けなくても十分な時間(選択されてから次に選択されるまでの間)電流制御用素子のゲート電圧を維持しうる。

#### 【0028】

即ち、従来、有効発光面積を狭める要因となっていたコンデンサを排除することが可能となり、有効発光面積を広くすることが可能となる。このことはEL表示装置の画質を明るくできることを意味する。

10

#### 【0029】

次に、電流制御用TFT 202は、ソース領域31、ドレイン領域32、LDD領域33及びチャネル形成領域34を含む活性層、ゲート絶縁膜18、ゲート電極35、第1層間絶縁膜20、ソース配線36並びにドレイン配線37を有して形成される。なお、ゲート電極35はシングルゲート構造となっているが、マルチゲート構造であっても良い。

#### 【0030】

図2に示すように、スイッチング用TFT 201のドレインは電流制御用TFT 202のゲートに電氣的に接続されている。具体的には電流制御用TFT 202のゲート電極35はスイッチング用TFT 201のドレイン領域14とドレイン配線(接続配線とも言える)22を介して電氣的に接続されている。また、ソース配線36は電流供給線212に接続される。

20

#### 【0031】

この電流制御用TFT 202の特徴は、チャネル幅がスイッチング用TFT 201のチャネル幅よりも大きい点である。即ち、図8に示すように、スイッチング用TFTのチャネル長をL1、チャネル幅をW1とし、電流制御用TFTのチャネル長をL2、チャネル幅をW2とした場合、 $W2/L2 \geq 5 \times W1/L1$ (好ましくは $W2/L2 \geq 10 \times W1/L1$ )という関係式が成り立つようにする。このため、スイッチング用TFTよりも多くの電流を容易に流すことが可能である。

#### 【0032】

なお、マルチゲート構造であるスイッチング用TFTのチャネル長L1は、形成された二つ以上のチャネル形成領域のそれぞれのチャネル長の総和とする。図8の場合、ダブルゲート構造であるので、二つのチャネル形成領域のそれぞれのチャネル長L1a及びL1bを加えたものがスイッチング用TFTのチャネル長L1となる。

30

#### 【0033】

本発明において、チャネル長L1、L2及びチャネル幅W1、W2は特定の数値範囲に限定されるものではないが、W1は0.1~5μm(代表的には1~3μm)、W2は0.5~30μm(代表的には2~10μm)とするのが好ましい。この時、L1は0.2~18μm(代表的には2~15μm)、L2は0.1~50μm(代表的には1~20μm)とするのが好ましい。

#### 【0034】

なお、電流制御用TFTでは電流が過剰に流れることを防止するためチャネル長Lの長さを長めに設定することが望ましい。好ましくは $W2/L2 \geq 3$ (好ましくは $W2/L2 \geq 5$ )とするとよい。望ましくは一画素あたり0.5~2μA(好ましくは1~1.5μA)となるようにする。

40

#### 【0035】

これらの数値範囲とすることによりVGAクラスの画素数(640×480)を有するEL表示装置からハイビジョンクラスの画素数(1920×1080又は1280×1024)を有するEL表示装置まで、あらゆる規格を網羅することができる。

#### 【0036】

また、スイッチング用TFT 201に形成されるLDD領域の長さ(幅)は0.5~3

50

・ 5  $\mu\text{m}$ 、代表的には 2.0 ~ 2.5  $\mu\text{m}$  とすれば良い。

#### 【0037】

また、図 1 に示した EL 表示装置は、電流制御用 TFT 202 において、ドレイン領域 32 とチャネル形成領域 34 との間に LDD 領域 33 が設けられ、且つ、LDD 領域 33 がゲート絶縁膜 18 を挟んでゲート電極 35 に重なっている領域と重なっていない領域とを有する点にも特徴がある。

#### 【0038】

電流制御用 TFT 202 は、EL 素子 203 を発光させるための電流を供給すると同時に、その供給量を制御して階調表示を可能とする。そのため、電流を流しても劣化しないようにホットキャリア注入による劣化対策を講じておく必要がある。また、黒色を表示する際は、電流制御用 TFT 202 をオフ状態にしておくが、その際、オフ電流値が高いとききれいな黒色表示ができなくなり、コントラストの低下等を招く。従って、オフ電流値も抑える必要がある。

10

#### 【0039】

ホットキャリア注入による劣化に関しては、ゲート電極に対して LDD 領域が重なった構造が非常に効果的であることが知られている。しかしながら、LDD 領域全体をゲート電極に重ねてしまうとオフ電流値が増加してしまうため、本出願人はゲート電極に重ならない LDD 領域を直列に設けるという新規な構造によって、ホットキャリア対策とオフ電流値対策とを同時に解決している。

#### 【0040】

この時、ゲート電極に重なった LDD 領域の長さは 0.1 ~ 3  $\mu\text{m}$  (好ましくは 0.3 ~ 1.5  $\mu\text{m}$ ) にすれば良い。長すぎると寄生容量が大きくなってしまい、短すぎるとホットキャリアを防止する効果が弱くなってしまう。また、ゲート電極に重ならない LDD 領域の長さは 1.0 ~ 3.5  $\mu\text{m}$  (好ましくは 1.5 ~ 2.0  $\mu\text{m}$ ) にすれば良い。長すぎると十分な電流を流せなくなり、短すぎるとオフ電流値を低減する効果が弱くなる。

20

#### 【0041】

また、上記構造においてゲート電極と LDD 領域とが重なった領域では寄生容量が形成されてしまうため、ソース領域 31 とチャネル形成領域 34 との間には設けない方が好ましい。電流制御用 TFT はキャリア (ここでは電子) の流れる方向が常に同一であるので、ドレイン領域側だけに LDD 領域を設けておけば十分である。

30

#### 【0042】

また、流しうる電流量を多くするという観点から見れば、電流制御用 TFT 202 の活性層 (特にチャネル形成領域) の膜厚を厚くする (好ましくは 50 ~ 100 nm、さらに好ましくは 60 ~ 80 nm) ことも有効である。逆に、スイッチング用 TFT 201 の場合はオフ電流値を小さくするという観点から見れば、活性層 (特にチャネル形成領域) の膜厚を薄くする (好ましくは 20 ~ 50 nm、さらに好ましくは 25 ~ 40 nm) ことも有効である。

#### 【0043】

次に、41 は第 1 パッシベーション膜であり、膜厚は 10 nm ~ 1  $\mu\text{m}$  (好ましくは 200 ~ 500 nm) とすれば良い。材料としては、珪素を含む絶縁膜 (特に窒化酸化珪素膜又は窒化珪素膜が好ましい) を用いることができる。このパッシベーション膜 41 は形成された TFT を汚染物質や水分から保護する役割をもつ。最終的に TFT の上方に設けられる EL 層にはナトリウム等のアルカリ金属が含まれている。即ち、第 1 パッシベーション膜 41 はこれらのアルカリ金属 (可動イオン) を TFT 側に侵入させない保護層として働く。なお、本明細書中ではアルカリ金属とアルカリ土類金属を含めて「アルカリ金属」と呼ぶ。

40

#### 【0044】

また、パッシベーション膜 41 に放熱効果を持たせることで EL 層の熱劣化を防ぐことも有効である。但し、図 1 の構造の EL 表示装置は基板 11 側に光が放射されるため、パッシベーション膜 41 は透光性を有することが必要である。

50

#### 【0045】

放熱効果をもつ透光性材料としては、B（ホウ素）、C（炭素）、N（窒素）から選ばれた少なくとも一つの元素と、Al（アルミニウム）、Si（珪素）、P（リン）から選ばれた少なくとも一つの元素とを含む化合物が挙げられる。例えば、窒化アルミニウム（ $Al_xN_y$ ）に代表されるアルミニウムの窒化物、炭化珪素（ $Si_xC_y$ ）に代表される珪素の炭化物、窒化珪素（ $Si_xN_y$ ）に代表される珪素の窒化物、窒化ホウ素（ $B_xN_y$ ）に代表されるホウ素の窒化物、リン化ホウ素（ $B_xP_y$ ）に代表されるホウ素のリン化物を用いることが可能である。また、酸化アルミニウム（ $Al_xO_y$ ）に代表されるアルミニウムの酸化物は透光性に優れ、熱伝導率が $20\text{ W m}^{-1}\text{ K}^{-1}$ であり、好ましい材料の一つと言える。これらの材料には放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果もある。なお、上記透光性材料において、 $x$ 、 $y$ は任意の整数である。

10

#### 【0046】

なお、上記化合物に他の元素を組み合わせることもできる。例えば、酸化アルミニウムに窒素を添加して、 $AlN_xO_y$ で示される窒化酸化アルミニウムを用いることも可能である。この材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。なお、上記窒化酸化アルミニウムにおいて、 $x$ 、 $y$ は任意の整数である。

#### 【0047】

また、特開昭62-90260号公報に記載された材料を用いることができる。即ち、Si、Al、N、O、Mを含む化合物（但し、Mは希土類元素の少なくとも一種、好ましくはCe（セリウム）、Yb（イットルビウム）、Sm（サマリウム）、Er（エルビウム）、Y（イットリウム）、La（ランタン）、Gd（ガドリニウム）、Dy（ジスプロシウム）、Nd（ネオジウム）から選ばれた少なくとも一つの元素）を用いることもできる。これらの材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。

20

#### 【0048】

また、ダイヤモンド薄膜、アモルファスカーボン（特にダイヤモンドに特性の近いもの、ダイヤモンドライクカーボンと呼ばれる。）等の炭素膜を用いることもできる。これらは非常に熱伝導率が高く、放熱層として極めて有効である。但し、膜厚が厚くなると褐色を帯びて透過率が低下するため、なるべく薄い膜厚（好ましくは $5\sim100\text{ nm}$ ）で用いることが好ましい。

30

#### 【0049】

なお、第1パッシベーション膜41の目的はあくまで汚染物質や水分からTFEを保護することにあるので、その効果を損なうものであってはならない。従って、上記放熱効果をもつ材料からなる薄膜を単体で用いることもできるが、これらの薄膜と、アルカリ金属や水分を遮断する性質を有する薄膜（代表的には窒化珪素膜（ $Si_xN_y$ ）や窒化酸化珪素膜（ $SiO_xN_y$ ））とを積層することは有効である。なお、上記窒化珪素膜又は窒化酸化珪素膜において、 $x$ 、 $y$ は任意の整数である。

#### 【0050】

また、42はカラーフィルター、43は蛍光体（蛍光色素層ともいう）である。どちらも同色の組み合わせで、赤（R）、緑（G）若しくは青（B）の色素を含む。カラーフィルター42は色純度を向上させるために設け、蛍光体43は色変換を行うために設けられる。

40

#### 【0051】

なお、EL表示装置には大きく分けて四つのカラー化表示方式があり、RGBに対応した三種類のEL素子を形成する方式、白色発光のEL素子とカラーフィルターを組み合わせた方式、青色又は青緑発光のEL素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を使用してRGBに対応したEL素子を重ねる方式、がある。

#### 【0052】

図1の構造は青色発光のEL素子と蛍光体とを組み合わせた方式を用いた場合の例であ

50

る。ここではE L素子203として青色発光の発光層を用いて紫外光を含む青色領域の波長をもつ光を形成し、その光によって蛍光体43を励起して赤、緑若しくは青の光を発生させる。そしてカラーフィルター42で色純度を上げて出力する。

#### 【0053】

但し、本発明は発光方式に関わらず実施することが可能であり、上記四つの全ての方式を本発明に用いることができる。

#### 【0054】

また、カラーフィルター42、蛍光体43を形成した後で、第2層間絶縁膜44で平坦化を行う。第2層間絶縁膜44としては、樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を用いると良い。勿論、十分な平坦化が可能であれば、無機膜を用いても良い。

#### 【0055】

第2層間絶縁膜44によってTF Tによる段差を平坦化することは非常に重要である。後に形成されるE L層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、E L層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

#### 【0056】

また、第2層間絶縁膜44上に放熱効果の高い絶縁膜（以下、放熱層という）を設けることは有効である。膜厚は5nm～1μm（典型的には20～300nm）が好ましい。このような放熱層は、E L素子で発生した熱を逃がしてE L素子に熱が蓄積しないように機能する。また、第2層間絶縁膜44が樹脂膜である場合は熱に弱いため、E L素子で発生した熱が第2層間絶縁膜44に悪影響を与えないようにする。

#### 【0057】

前述のようにE L表示装置を作製するにあたってTF Tを樹脂膜で平坦化することは有効であるが、E L素子で発生した熱による樹脂膜の劣化を考慮した構造は従来なかった。従って放熱層を設けることによってその点を解決することは非常に有効であると言える。

#### 【0058】

また、放熱層として水分、酸素又はアルカリ金属を透過しない材料（第1パッシベーション膜41と同様の材料）を用いれば、上記熱によるE L素子又は樹脂膜の劣化が防がれると同時に、E L層中のアルカリ金属がTF T側へと拡散しないようにするための保護層としても機能する。さらにはE L層側へTF T側から水分や酸素が侵入しないようにする保護層としても機能する。

#### 【0059】

特に放熱効果を期待するならダイヤモンド膜もしくはダイヤモンドライクカーボン膜等の炭素膜が好ましく、水分等の侵入を防ぐためには炭素膜と窒化珪素膜（又は窒化酸化珪素膜）との積層構造を用いることがさらに好ましい。

#### 【0060】

このようにTF T側とE L素子側とを放熱効果が高く、且つ、水分やアルカリ金属を遮断しうる絶縁膜で分離するという構造は有効である。

#### 【0061】

また、45は透明導電膜でなる画素電極（E L素子の陽極）であり、第2層間絶縁膜44及び第1パッシベーション膜41にコンタクトホールを開けた後、電流制御用TF T202のドレイン配線37に接続されるように形成される。

#### 【0062】

画素電極45の上には、順次E L層（有機材料が好ましい）46、陰極47、保護電極48が形成される。E L層46は単層又は積層構造で用いられるが、積層構造で用いられる場合が多い。発光層、電子輸送層、電子注入層、正孔注入層又は正孔輸送層などを組み合わせて様々な積層構造が提案されているが、本発明ではいずれの構造であっても良い。勿論、E L層に対して蛍光性色素等をドーピングしても良い。また、本明細書中では、画素電極（陽極）、E L層及び陰極で形成される発光素子をE L素子と呼ぶ。

10

20

30

40

50

【0063】

本発明では既に公知のあらゆるEL材料を用いることができる。公知の材料としては、有機材料が広く知られており、駆動電圧を考慮すると有機材料を用いるのが好ましい。有機EL材料としては、例えば、以下の米国特許又は公開公報に開示された材料を用いることができる。

【0064】

米国特許第4,356,429号、米国特許第4,539,507号、米国特許第4,720,432号、米国特許第4,769,292号、米国特許第4,885,211号、米国特許第4,950,950号、米国特許第5,059,861号、米国特許第5,047,687号、米国特許第5,073,446号、米国特許第5,059,862号、米国特許第5,061,617号、米国特許第5,151,629号、米国特許第5,294,869号、米国特許第5,294,870号、特開平10-189252号公報、特開平8-241048号公報、特開平8-78159号公報。

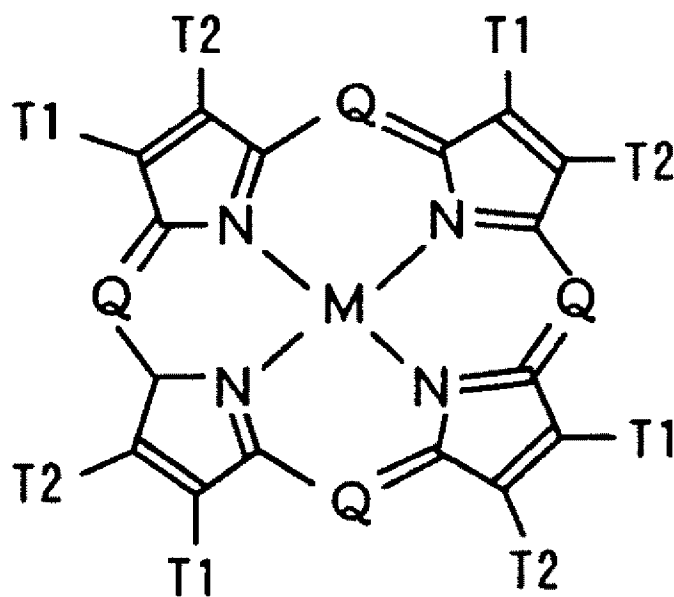
10

【0065】

具体的には、正孔注入層としての有機材料は次のような一般式で表されるものを用いることができる。

【0066】

【化1】



20

30

【0067】

ここでQはN又はC-R（炭素鎖）であり、Mは金属、金属酸化物又は金属ハロゲン化合物であり、Rは水素、アルキル、アラルキル、アリル又はアルカリルであり、T1、T2は水素、アルキル又はハロゲンのような置換基を含む不飽和六員環である。

40

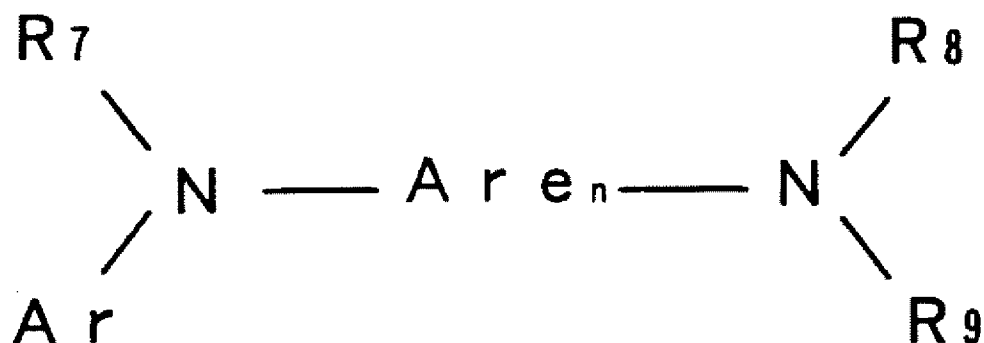
【0068】

また、正孔輸送層としての有機材料は芳香族第三アミンを用いることができ、好ましくは次のような一般式で表されるテトラアリルジアミンを含む。

【0069】



【化2】



10

【0070】

ここでA r eはアリレン群であり、nは1から4の整数であり、A r、R<sub>7</sub>、R<sub>8</sub>、R<sub>9</sub>はそれぞれ選択されたアリル群である。

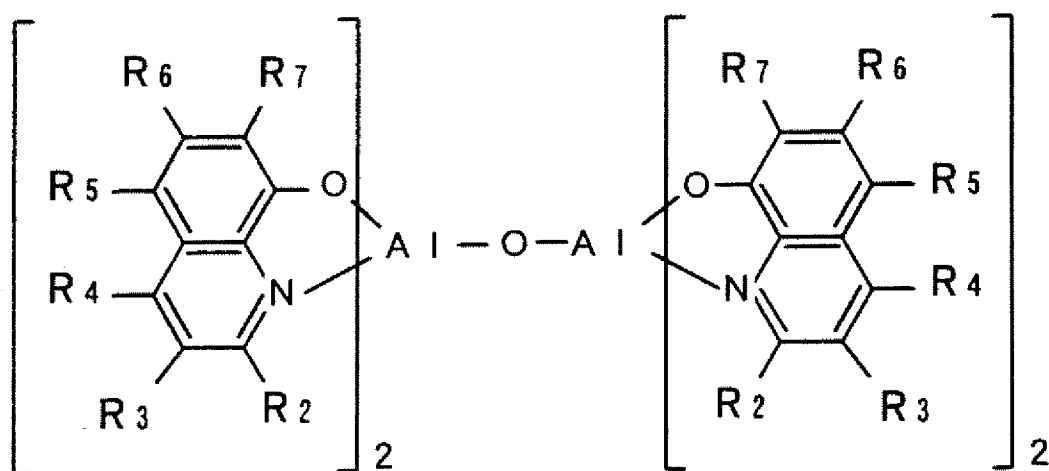
【0071】

また、E L層、電子輸送層又は電子注入層としての有機材料は金属オキシノイド化合物を用いることができる。金属オキシノイド化合物としては以下のような一般式で表されるものを用いれば良い。

20

【0072】

【化3】



30

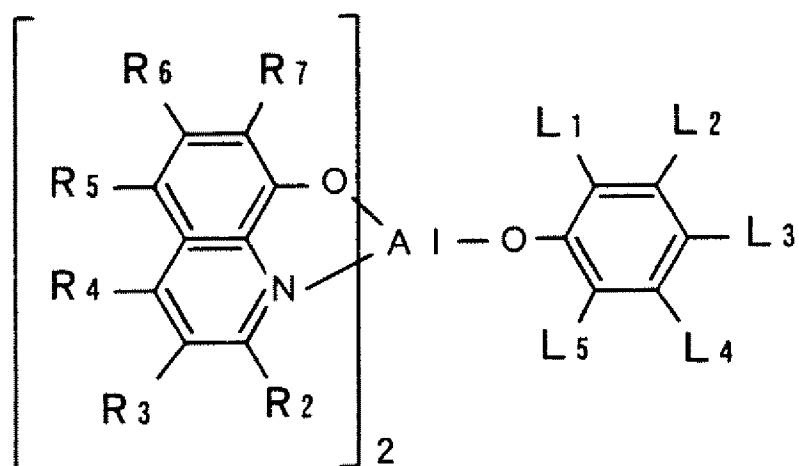
【0073】

ここでR<sub>2</sub>ーR<sub>7</sub>は置き換え可能であり、次のような金属オキシノイド化合物を用いることもできる。

40

【0074】

【化 4】



10

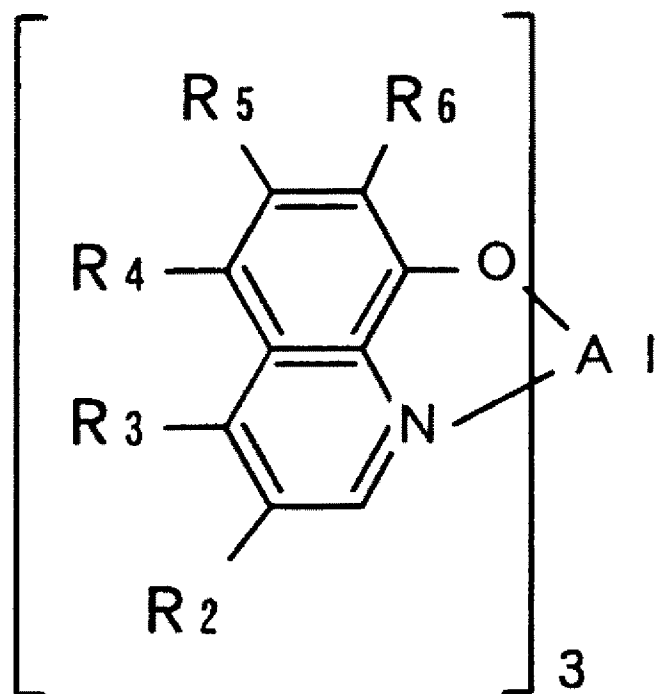
【0075】

ここで $R_2-R_7$ は上述の定義によるものであり、 $L_1-L_5$ は1から12の炭素元素を含む炭水化物群であり、 $L_1$ 、 $L_2$ 又は $L_2$ 、 $L_3$ は共にベンゾ環を形成することができる。また、次のような金属オキシノイド化合物でも良い。

20

【0076】

【化 5】



30

40

【0077】

ここで $R_2-R_6$ は置き換え可能である。このように有機EL材料としては有機リガンドを有する配位化合物を含む。但し、以上の例は本発明のEL材料として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。

【0078】

また、EL層の形成方法としてインクジェット方式を用いる場合、EL材料としてはポ

50

リマー系材料が好ましい。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系やポリフルオレン系などの高分子材料が挙げられる。カラー化するには、例えば、赤色発光材料にはシアノポリフェニレンビニレン、緑色発光材料にはポリフェニレンビニレン、青色発光材料にはポリフェニレンビニレン及びポリアルキルフェニレンが好ましい。インクジェット法に使用できる有機EL材料については、特開平10-012377号公報に記載されている材料を全て引用することができる。

#### 【0079】

また、陰極47としては、仕事関数の小さいマグネシウム（Mg）、リチウム（Li）、セシウム（Cs）、バリウム（Ba）、カリウム（K）、ベリリウム（Be）若しくはカルシウム（Ca）を含む材料を用いる。好ましくはMgAg（MgとAlをMg：Ag = 10：1で混合した材料）でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。また、保護電極48は陰極47を外部の湿気等から保護膜するために設けられる電極であり、アルミニウム（Al）若しくは銀（Ag）を含む材料が用いられる。この保護電極48には放熱効果もある。

#### 【0080】

なお、EL層46及び陰極47は大気解放せずに連続形成することが望ましい。即ち、EL層や陰極がどのような積層構造であってもマルチチャンバー（クラスターツールともいう）方式の成膜装置にて全て連続形成することが望ましい。これはEL層として有機材料を用いる場合、水分に非常に弱いため、大気解放した時の吸湿を避けるためである。さらに、EL層46及び陰極47だけでなく、その上の保護電極48まで連続形成するとさらに良い。

#### 【0081】

成膜方法としては、EL層が熱に対して非常に弱いため、真空蒸着法（特に、有機分子線蒸着法は分子オーダーレベルの超薄膜を形成する上で有効である。）、スパッタ法、プラズマCVD法、スピンコーティング法、スクリーン印刷法又はイオンプレーティング法が好ましいが、インクジェット方式で形成することも可能である。インクジェット方式にはキャビテーションを用いるバブルジェット（登録商標）方式（特開平5-116297号等）とピエ

ゾ素子を用いるピエゾ方式（特開平8-290647号等）とがあるが、有機EL材料が熱に弱いことを鑑みればピエゾ方式が好ましい。

#### 【0082】

また、49は第2パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすれば良い。第2パッシベーション膜49を設ける目的は、EL層46を水分から保護する目的が主であるが、第1パッシベーション膜41と同様に放熱効果をもたせても良い。従って、形成材料としては第1パッシベーション膜41と同様のものを用いることができる。但し、EL層46として有機材料を用いる場合、酸素との結合により劣化するので、酸素を放出しやすい絶縁膜は用いないことが望ましい。

#### 【0083】

また、上述のようにEL層は熱に弱いので、なるべく低温（好ましくは室温から120℃までの温度範囲）で成膜するのが望ましい。従って、プラズマCVD法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法（スピンコーティング法）が望ましい成膜方法と言える。

#### 【0084】

本発明のEL表示装置は以上のような構造の画素を含む画素部を有し、画素内において機能に応じて構造の異なるTF-Tが配置されている。これによりオフ電流値の十分に低いスイッチング用TF-Tと、ホットキャリア注入に強い電流制御用TF-Tとが同じ画素内に形成でき、高い信頼性を有し、良好な画像表示が可能なEL表示装置が形成できる。

#### 【0085】

なお、図1の画素構造において最も重要な点はスイッチング用TF-Tとしてマルチゲート構造のTF-Tを用いる点であり、LDD領域の配置等の構成に関しては図1の構成に限

10

20

30

40

50

定する必要はない。

【0086】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【実施例1】

【0087】

本発明の実施例について図3～図5を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路部のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本回路であるCMOS回路を図示することとする。

10

【0088】

まず、図3(A)に示すように、ガラス基板300上に下地膜301を300nmの厚さに形成する。本実施例では下地膜301として窒化酸化珪素膜を積層して用いる。この時、ガラス基板300に接する方の窒素濃度を10～25wt%としておくことが良い。

【0089】

また、下地膜301の一部として、図1に示した第1パッシベーション膜41と同様の材料からなる放熱層を設けることは有効である。電流制御用TFTは大電流を流すことになるので発熱しやすく、なるべく近いところに放熱層を設けておくことは有効である。

【0090】

次に下地膜301の上に50nmの厚さの非晶質珪素膜（図示せず）を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は20～100nmの厚さであれば良い。

20

【0091】

そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜（多結晶シリコン膜若しくはポリシリコン膜ともいう）302を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、XeClガスを用いたエキシマレーザー光を用いて結晶化する。

30

【0092】

なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。

【0093】

本実施例では結晶質珪素膜をTFTの活性層として用いるが、非晶質珪素膜を用いることも可能である。しかし、電流制御用TFTは大電流を流す必要があるため、電流を流しやすい結晶質珪素膜を用いた方が有利である。

【0094】

なお、オフ電流を低減する必要があるスイッチング用TFTの活性層を非晶質珪素膜で形成し、電流制御用TFTの活性層を結晶質珪素膜で形成することは有効である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

40

【0095】

次に、図3(B)に示すように、結晶質珪素膜302上に酸化珪素膜でなる保護膜303を130nmの厚さに形成する。この厚さは100～200nm（好ましくは130～170nm）の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜303は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

50

#### 【0096】

そして、その上にレジストマスク304a、304bを形成し、保護膜303を介してn型を付与する不純物元素（以下、n型不純物元素という）を添加する。なお、n型不純物元素としては、代表的には周期表の15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン（ $\text{PH}_3$ ）を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを $1 \times 10^{18} \text{ atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

#### 【0097】

この工程により形成されるn型不純物領域305、306には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ ）の濃度で含まれるようにドーズ量を調節する。

10

#### 【0098】

次に、図3（C）に示すように、保護膜303を除去し、添加した周期表の15族に属する元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜303をつけたままレーザー光を照射しても良い。

#### 【0099】

なお、このレーザー光による不純物元素の活性化に際して、熱処理による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して450～550℃程度の熱処理を行えば良い。

20

#### 【0100】

この工程によりn型不純物領域305、306の端部、即ち、n型不純物領域305、306の周囲に存在するn型不純物元素を添加していない領域との境界部（接合部）が明確になる。このことは、後にTFEが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

#### 【0101】

次に、図3（D）に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜（以下、活性層という）307～310を形成する。

30

#### 【0102】

次に、図3（E）に示すように、活性層307～310を覆ってゲート絶縁膜311を形成する。ゲート絶縁膜311としては、10～200nm、好ましくは50～150nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では110nm厚の窒化酸化珪素膜を用いる。

#### 【0103】

次に、200～400nm厚の導電膜を形成し、パターニングしてゲート電極312～316を形成する。なお、本実施例ではゲート電極と、ゲート電極に電氣的に接続された引き回しのための配線（以下、ゲート配線という）とを別の材料で形成する。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用いる。これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いるためである。勿論、ゲート電極とゲート配線とを同一材料で形成してしまっても構わない。

40

#### 【0104】

また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。ただし、上述のように微細加工が可能、具体的には $2 \mu\text{m}$ 以下の線幅にパターニング可能な材料が好ましい。

#### 【0105】

代表的には、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン

50

(W) もしくはクロム (Cr) から選ばれた元素でなる膜、または前記元素の窒化物膜 (代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜 (代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜 (代表的にはタングステンシリサイド膜、チタンシリサイド膜) または導電性を持たせたシリコン膜を用いることができる。勿論、単層で用いても積層して用いても良い。

#### 【0106】

本実施例では、50nm厚の窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) 膜と、350nm厚のTa膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

10

#### 【0107】

またこの時、ゲート電極313、316はそれぞれn型不純物領域305、306の一部とゲート絶縁膜311を挟んで重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。

#### 【0108】

次に、図4(A)に示すように、ゲート電極312~316をマスクとして自己整合的にn型不純物元素 (本実施例ではリン) を添加する。こうして形成される不純物領域317~323にはn型不純物領域305、306の1/2~1/10 (代表的には1/3~1/4) の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$  (典型的には  $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ ) の濃度が好ましい。

20

#### 【0109】

次に、図4(B)に示すように、ゲート電極等を覆う形でレジストマスク324a~324dを形成し、n型不純物元素 (本実施例ではリン) を添加して高濃度にリンを含む不純物領域325~331を形成する。ここでもフォスフィン (PH<sub>3</sub>) を用いたイオンドープ法で行い、この領域のリンの濃度は  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  (代表的には  $2 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ ) となるように調節する。

#### 【0110】

この工程によってnチャネル型TFETのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFETでは、図4(A)の工程で形成したn型不純物領域320~322の一部を残す。この残された領域が、図1におけるスイッチング用TFETのLDD領域15a~15dに対応する。

30

#### 【0111】

次に、図4(C)に示すように、レジストマスク324a~324dを除去し、新たにレジストマスク332を形成する。そして、p型不純物元素 (本実施例ではボロン) を添加し、高濃度にボロンを含む不純物領域333、334を形成する。ここではジボラン (B<sub>2</sub>H<sub>6</sub>) を用いたイオンドープ法により  $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$  (代表的には  $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ ) の濃度となるようにボロンを添加する。

#### 【0112】

なお、不純物領域333、334には既に  $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$  の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。

40

#### 【0113】

次に、レジストマスク332を除去した後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーンেসアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

#### 【0114】

このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加を招くと共に後にオー

50

ミックコンタクトを取りにくくなるからである。従って、上記活性化工程における処理雰囲気中の酸素濃度は1 p p m以下、好ましくは0.1 p p m以下とすることが望ましい。

#### 【0115】

次に、活性化工程が終了したら300nm厚のゲート配線335を形成する。ゲート配線335の材料としては、アルミニウム(Al)又は銅(Cu)を主成分(組成として50~100%を占める。)とする金属膜を用いれば良い。配置としては図2のゲート配線211のように、スイッチング用TFTのゲート電極314、315(図2のゲート電極19a、19bに相当する)を電氣的に接続するように形成する。(図4(D))

#### 【0116】

このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きい画像表示領域(画素部)を形成することができる。即ち、画面の大きさが対角10インチ以上(さらには30インチ以上)のEL表示装置を実現する上で、本実施例の画素構造は極めて有効である。

#### 【0117】

次に、図5(A)に示すように、第1層間絶縁膜336を形成する。第1層間絶縁膜336としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は400nm~1.5μmとすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

#### 【0118】

さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

#### 【0119】

なお、水素化処理は第1層間絶縁膜336を形成する間に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成しても構わない。

#### 【0120】

次に、第1層間絶縁膜336に対してコンタクトホールを形成し、ソース配線337~340と、ドレイン配線341~343を形成する。なお、本実施例ではこの電極を、チタン膜を100nm、チタンを含むアルミニウム膜を300nm、チタン膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論他の導電膜でも良く、銀、パラジウム及び銅を含む合金膜を用いても良い。

#### 【0121】

次に、50~500nm(代表的には200~300nm)の厚さで第1パッシベーション膜344を形成する。本実施例では第1パッシベーション膜344として300nm厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。勿論、図1の第1パッシベーション膜41と同様の材料を用いることが可能である。

#### 【0122】

なお、窒化酸化珪素膜の形成に先立ってH<sub>2</sub>、NH<sub>3</sub>等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜336に供給され、熱処理を行うことで、第1パッシベーション膜344の膜質が改善される。それと同時に、第1層間絶縁膜336に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

#### 【0123】

次に、図5(B)に示すように、カラーフィルター345と蛍光体346を形成する。これらの材料は公知のものを用いれば良い。また、これらは別々にパターンニングして形成しても良いし、連続的に形成して一括でパターンニングして形成しても良い。また形成方法としては、スクリーン印刷法、インクジェット法、マスク蒸着法(マスク材を用いて選択的に形成する方法)等を用いれば良い。

10

20

30

40

50

#### 【0124】

それぞれの膜厚は0.5～5 μm（典型的には1～2 μm）の範囲で選択する。特に、蛍光体346は用いる材料によって最適な膜厚が異なる。即ち、薄すぎると色変換効率が悪くなり、厚すぎると段差が大きくなる上に光の透過光量が落ちてしまう。従って、両特性の兼ね合いで最適な膜厚を決定しなければならない。

#### 【0125】

なお、本実施例ではEL層から発生した光を色変換するカラー化方式を例にとって説明しているが、RGBに対応するEL層を個別に作製する方式を採用する場合は、カラーフィルターや蛍光体を省略することもできる。

#### 【0126】

次に、有機樹脂からなる第2層間絶縁膜347を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第2層間絶縁膜347は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではカラーフィルター345及び蛍光体346の段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5 μm（さらに好ましくは2～4 μm）とすれば良い。

#### 【0127】

次に、第2層間絶縁膜347、第1パッシベーション膜344にドレイン配線343に達するコンタクトホールを形成し、画素電極348を形成する。本実施例では酸化インジウムと酸化スズとの化合物（ITO）膜を110 nmの厚さに形成し、パターンニングを行って画素電極とする。この画素電極348がEL素子の陽極となる。なお、他の材料として、酸化インジウムと酸化亜鉛との化合物膜や酸化ガリウムを含む酸化亜鉛膜を用いることも可能である。

#### 【0128】

なお、本実施例では画素電極348がドレイン配線343を介して電流制御用TFTのドレイン領域331へと電気的に接続された構造となっている。この構造には次のような利点がある。

#### 【0129】

画素電極348はEL層（発光層）や電荷輸送層などの有機材料に直接接することになるため、EL層に含まれた可動イオンが画素電極中を拡散する可能性がある。即ち、本実施例の構造は画素電極348を直接活性層の一部であるドレイン領域331へ接続せず、ドレイン配線343を中継することによって活性層中への可動イオンの侵入を防ぐことができる。

#### 【0130】

次に、図5（C）に示すように、EL層349、陰極（MgAg電極）350、保護電極351を大気解放しないで連続形成する。このときEL層349及び陰極350を形成するに先立って画素電極348に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、EL層349としては公知の材料を用いることができる。

#### 【0131】

なお、EL層349としては（発明を実施するための最良の形態）の欄で説明した材料を用いることができる。本実施例では図19に示すように、正孔注入層（Hole injecting layer）、正孔輸送層（Hole transporting layer）、発光層（Emitting layer）及び電子輸送層（Electron transporting layer）でなる4層構造をEL層とするが、電子輸送層を設けない場合もあるし、電子注入層を設ける場合もある。また、正孔注入層を省略する場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

#### 【0132】

正孔注入層又は正孔輸送層としてはアミン系のTPD（トリフェニルアミン誘導体）を用いればよく、他にもヒドラゾン系（代表的にはDEH）、スチルベン系（代表的にはSTB）、スターバスト系（代表的にはm-MTDATA）等を用いることができる。特に



ガラス転移温度が高く結晶化しにくいスターバスト系材料が好ましい。また、ポリアニリン（P A n i）、ポリチオフェン（P E D O T）もしくは銅フタロシアニン（C u P c）を用いても良い。

【0133】

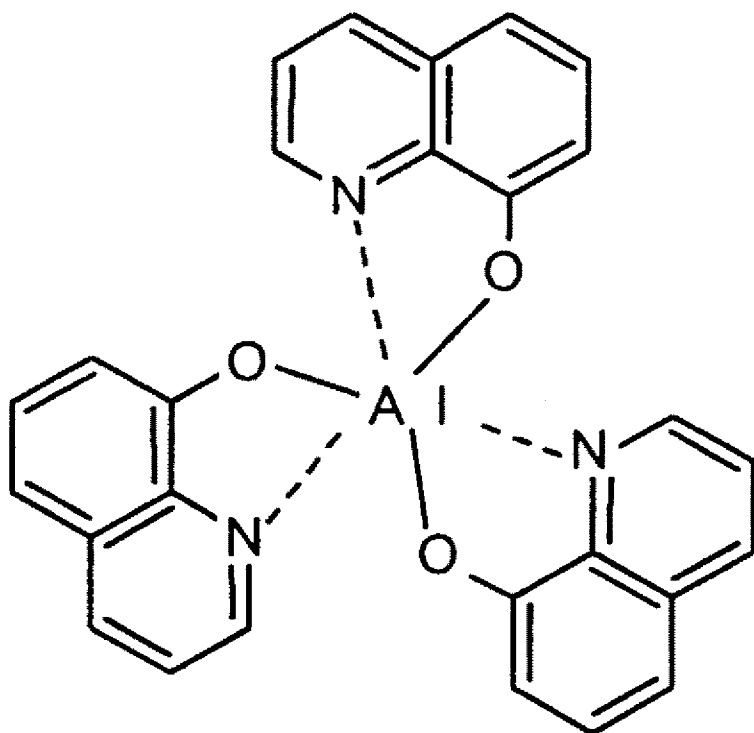
発光層としては赤色発光層としてはB P P C、ペリレン、D C Mが用いることができるが、特にE u（D B M）<sub>3</sub>（P h e n）で示されるE u錯体（J.Kido et al,Appl.Phys.,vol.35,pp.L394-396,1996に詳しい。）は620nmの波長に鋭い発光をもち単色性が高い。

【0134】

また、緑色発光層として代表的にはA l q<sub>3</sub>（8-hydroxyquinoline alminium）に数モル %のキナクリドン又はクマリンを添加した材料を用いることができる。化学式は以下のようになる。

【0135】

【化6】

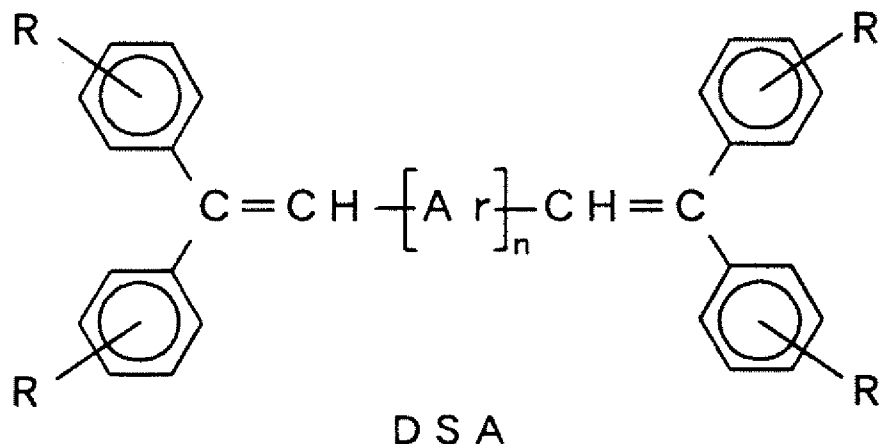


A l q<sub>3</sub>

【0136】

また、青色発光層として代表的にはD S A（ジスチルアリーレン誘導体）にアミノ置換D S Aを添加したジスチルアリーレンアミン誘導体を用いることができる。特に、性能の高い材料であるジスチリルビフェニル（D P V B i）を用いることが好ましい。化学式は以下のようになる。

【0137】



10

## 【0138】

また、第2パッシベーション膜352として300nm厚の窒化珪素膜を設けるが、これも保護電極351の後に大気解放しないで連続的に形成しても構わない。勿論、第2パッシベーション膜352としては、図1の第2パッシベーション膜49と同一の材料を用いることができる。

20

## 【0139】

本実施例では正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をEL層とするが、組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。また、本実施例ではEL素子の陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。

## 【0140】

また、保護電極351はMgAg電極350の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、EL層349、MgAg電極350は非常に水分に弱いので、保護電極351までを大気解放しないで連続的に形成し、外気からEL層を保護することが望ましい。

30

## 【0141】

なお、EL層349の膜厚は10～400nm（典型的には60～160nm）、MgAg電極350の厚さは180～300nm（典型的には200～250nm）とすれば良い。

## 【0142】

こうして図5（C）に示すような構造のアクティブマトリクス型EL表示装置が完成する。ところで、本実施例のアクティブマトリクス型EL表示装置は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。

40

## 【0143】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路を形成するCMOS回路のnチャネル型TFT205として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、サンプリング回路（トランスファゲートともいう）などが含まれる。デジタル駆動を行う場合には、D/Aコンバータなどの信号変換回路も含まれうる。

## 【0144】

本実施例の場合、図5（C）に示すように、nチャネル型205の活性層は、ソース領

50

域 3 5 5、ドレイン領域 3 5 6、L D D 領域 3 5 7 及びチャネル形成領域 3 5 8 を含み、L D D 領域 3 5 7 はゲート絶縁膜 3 1 1 を挟んでゲート電極 3 1 3 と重なっている。

#### 【0 1 4 5】

ドレイン領域側のみに L D D 領域を形成しているのは、動作速度を落とさないための配慮である。また、この n チャネル型 T F T 2 0 5 はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、L D D 領域 3 5 7 は完全にゲート電極 3 1 3 に重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

#### 【0 1 4 6】

また、C M O S 回路の p チャネル型 T F T 2 0 6 は、ホットキャリア注入による劣化が殆ど気にならないので、特に L D D 領域を設けなくても良い。勿論、n チャネル型 T F T 2 0 5 と同様に L D D 領域を設け、ホットキャリア対策を講じることが可能である。

#### 【0 1 4 7】

なお、駆動回路の中でもサンプリング回路は他の回路と比べて少し特殊であり、チャネル形成領域を双方向に大電流が流れる。即ち、ソース領域とドレイン領域の役割が入れ替わるのである。さらに、オフ電流値を極力低く抑える必要があり、そういった意味でスイッチング用 T F T と電流制御用 T F T の中間程度の機能を有する T F T を配置することが望ましい。

#### 【0 1 4 8】

従って、サンプリング回路を形成する n チャネル型 T F T は、図 9 に示すような構造の T F T を配置することが望ましい。図 9 に示すように、L D D 領域 9 0 1 a、9 0 1 b の一部がゲート絶縁膜 9 0 2 を挟んでゲート電極 9 0 3 と重なる。この効果は電流制御用 T F T 2 0 2 の説明で述べた通りであり、サンプリング回路の場合はチャネル形成領域 9 0 4 を挟む形で L D D 領域 9 0 1 a、9 0 1 b を設ける点異なる。

#### 【0 1 4 9】

また、図 1 に示したような構造の画素を形成して画素部を形成している。画素内に形成されるスイッチング用 T F T 及び電流制御用 T F T の構造については、図 1 で既に説明したのでここでの説明は省略する。

#### 【0 1 5 0】

なお、実際には図 5 (C) まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やセラミックス製シーリングカンなどのハウジング材でパッケージング（封入）することが好ましい。その際、ハウジング材の内部を不活性雰囲気にしたたり、内部に吸湿性材料（例えば酸化バリウム）を配置することで E L 層の信頼性（寿命）が向上する。

#### 【0 1 5 1】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：F P C）を取り付けて製品として完成する。このような出荷できる状態にまでした E L 表示装置を本明細書中では E L モジュールという。

#### 【0 1 5 2】

ここで本実施例のアクティブマトリクス型 E L 表示装置の構成を図 6 の斜視図を用いて説明する。本実施例のアクティブマトリクス型 E L 表示装置は、ガラス基板 6 0 1 上に形成された、画素部 6 0 2 と、ゲート側駆動回路 6 0 3 と、ソース側駆動回路 6 0 4 で構成される。画素部のスイッチング用 T F T 6 0 5 は n チャネル型 T F T であり、ゲート側駆動回路 6 0 3 に接続されたゲート配線 6 0 6、ソース側駆動回路 6 0 4 に接続されたソース配線 6 0 7 の交点に配置されている。また、スイッチング用 T F T 6 0 5 のドレインは電流制御用 T F T 6 0 8 のゲートに電氣的に接続されている。

#### 【0 1 5 3】

さらに、電流制御用 T F T 6 0 8 のソースは電流供給線 6 0 9 に接続され、電流制御用 T F T 6 0 8 のドレインには E L 素子 6 1 0 が電氣的に接続されている。このとき、電流

10

20

30

40

50

制御用TFT608がnチャンネル型TFTであればそのドレインにはEL素子610の陰極が接続されることが好ましい。また、電流制御用TFT608がpチャンネル型TFTであればそのドレインにはEL素子610の陽極が接続されることが好ましい。

#### 【0154】

そして、外部入力端子となるFPC611には駆動回路まで信号を伝達するための入力配線（接続配線）612、613、及び電流供給線609に接続された入力配線614が設けられている。

#### 【0155】

また、図6に示したEL表示装置の回路構成の一例を図7に示す。本実施例のEL表示装置は、ソース側駆動回路701、ゲート側駆動回路（A）707、ゲート側駆動回路（B）711、画素部706を有している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

10

#### 【0156】

ソース側駆動回路701は、シフトレジスタ702、レベルシフタ703、バッファ704、サンプリング回路（トランスファゲート）705を備えている。また、ゲート側駆動回路（A）707は、シフトレジスタ708、レベルシフタ709、バッファ710を備えている。ゲート側駆動回路（B）711も同様な構成である。

#### 【0157】

ここでシフトレジスタ702、708は駆動電圧が5～16V（代表的には10V）であり、回路を形成するCMOS回路に使われるnチャンネル型TFTは図5（C）の205で示される構造が適している。

20

#### 【0158】

また、レベルシフタ703、709、バッファ704、710は、駆動電圧は14～16Vと高くなるが、シフトレジスタと同様に、図5（C）のnチャンネル型TFT205を含むCMOS回路が適している。なお、ゲート配線をダブルゲート構造、トリプルゲート構造といったマルチゲート構造とすることは、各回路の信頼性を向上させる上で有効である。

#### 【0159】

また、サンプリング回路705は駆動電圧が14～16Vであるが、ソース領域とドレイン領域が反転する上、オフ電流値を低減する必要があるので、図9のnチャンネル型TFT208を含むCMOS回路が適している。

30

#### 【0160】

また、画素部706は駆動電圧が14～16Vであり、図1に示した構造の画素を配置する。

#### 【0161】

なお、上記構成は、図3～5に示した作製工程に従ってTFTを作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、D/Aコンバータ回路、オペアンプ回路、 $\gamma$ 補正回路など駆動回路以外の論理回路を同一基板上に形成することが可能であり、さらにはメモリ部やマイクロプロセッサ等を形成しうると考えている。

40

#### 【0162】

さらに、ハウジング材をも含めた本実施例のELモジュールについて図17（A）、（B）を用いて説明する。なお、必要に応じて図6、図7で用いた符号を引用することにする。

#### 【0163】

基板（TFTの下の下地膜を含む）1700上には画素部1701、ソース側駆動回路1702、ゲート側駆動回路1703が形成されている。それぞれの駆動回路からの各種配線は、入力配線612～614を経てFPC611に至り外部機器へと接続される。

#### 【0164】

このとき少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてハウジン

50

グ材 1704 を設ける。なお、ハウジング材 1704 は EL 素子の外寸よりも内寸が大きい凹部を有する形状又はシート形状であり、接着剤 1705 によって、基板 1700 と共同して密閉空間を形成するようにして基板 1700 に固着される。このとき、EL 素子は完全に前記密閉空間に封入された状態となり、外気から完全に遮断される。なお、ハウジング材 1704 は複数設けても構わない。

#### 【0165】

また、ハウジング材 1704 の材質はガラス、ポリマー等の絶縁性物質が好ましい。例えば、非晶質ガラス（硼硅酸塩ガラス、石英等）、結晶化ガラス、セラミックスガラス、有機系樹脂（アクリル系樹脂、スチレン系樹脂、ポリカーボネート系樹脂、エポキシ系樹脂等）、シリコン系樹脂が挙げられる。また、セラミックスを用いても良い。また、接着剤 1705 が絶縁性物質であるならステンレス合金等の金属材料を用いることも可能である。

10

#### 【0166】

また、接着剤 1705 の材質は、エポキシ系樹脂、アクリレート系樹脂等の接着剤を用いることが可能である。さらに、熱硬化性樹脂や光硬化性樹脂を接着剤として用いることもできる。但し、可能な限り酸素、水分を透過しない材質であることが必要である。

#### 【0167】

さらに、ハウジング材と基板 1700 との間の空隙 1706 は不活性ガス（アルゴン、ヘリウム、窒素等）を充填しておくことが望ましい。また、ガスに限らず不活性液体（パーフルオロアルカンに代表されるの液状フッ素化炭素等）を用いることも可能である。不活性液体に関しては特開平 8-78159 号で用いられているような材料で良い。また、樹脂を充填しても良い。

20

#### 【0168】

また、空隙 1706 に乾燥剤を設けておくことも有効である。乾燥剤としては特開平 9-148066 号公報に記載されているような材料を用いることができる。典型的には酸化バリウムを用いれば良い。また、乾燥剤だけでなく酸化防止剤を設けることも有効である。

#### 【0169】

また、図 17（B）に示すように、画素部には個々に孤立した EL 素子を有する複数の画素が設けられ、それらは全て保護電極 1707 を共通電極として有している。本実施例では、EL 層、陰極（MgAg 電極）及び保護電極を大気解放しないで連続形成することが好ましいとしたが、EL 層と陰極とを同じマスク材を用いて形成し、保護電極だけ別のマスク材で形成すれば図 17（B）の構造を実現することができる。

30

#### 【0170】

このとき、EL 層と陰極は画素部のみ設ければよく、駆動回路の上に設ける必要はない。勿論、駆動回路上に設けられていても問題とはならないが、EL 層にアルカリ金属が含まれていることを考慮すると設けない方が好ましい。

#### 【0171】

なお、保護電極 1707 は 1708 で示される領域において、入力配線 1709 に接続される。入力配線 1709 は保護電極 1707 に所定の電圧を与えるための配線であり、導電性ペースト材料（代表的には異方導電性膜）1710 を介して FPC611 に接続される。

40

#### 【0172】

ここで領域 1708 におけるコンタクト構造を実現するための作製工程を図 18 を用いて説明する。

#### 【0173】

まず、本実施例の工程に従って図 5（A）の状態を得る。このとき、基板端部（図 17（B）において 1708 で示される領域）において第 1 層間絶縁膜 336 及びゲート絶縁膜 311 を除去し、その上に入力配線 1709 を形成する。勿論、図 5（A）のソース配線及びドレイン配線と同時に形成される。（図 18（A））

50

#### 【0174】

次に、図5（B）において第2層間絶縁膜347及び第1パッシベーション膜344をエッチングする際に、1801で示される領域を除去し、且つ開孔部1802を形成する。（図18（B））

#### 【0175】

この状態で画素部ではEL素子の形成工程（画素電極、EL層及び陰極の形成工程）が行われる。この際、図18に示される領域ではマスク材を用いてEL素子が形成されないようにする。そして、陰極349を形成した後、別のマスク材を用いて保護電極350を形成する。これにより保護電極350と入力配線1709とが電氣的に接続される。さらに、第2パッシベーション膜352を設けて図18（C）の状態を得る。

10

#### 【0176】

以上の工程により図17（B）の1708で示される領域のコンタクト構造が実現される。そして、入力配線1709はハウジング材1704と基板1700との間の隙間（但し接着剤1705で充填されている。即ち、接着剤1705は入力配線の段差を十分に平坦化しうる厚さが必要である。）を通してFPC611に接続される。なお、ここでは入力配線1709について説明したが、他の入力配線612～614も同様にしてハウジング材1704の下を通してFPC611に接続される。

#### 【実施例2】

#### 【0177】

本実施例では、画素の構成を図2（B）に示した構成と異なるものとした例を図10に示す。

20

#### 【0178】

本実施例では、図2（B）に示した二つの画素を、電流供給線について対称となるように配置する。即ち、図10に示すように、電流供給線213を隣接する二つの画素間で共通化することで、必要とする配線の本数を低減することができる。なお、画素内に配置されるTF T構造等はそのままが良い。

#### 【0179】

このような構成とすれば、より高精細な画素部を作製することが可能となり、画像の品質が向上する。

#### 【0180】

なお、本実施例の構成は実施例1の作製工程に従って容易に実現可能であり、TF T構造等に関しては実施例1や図1の説明を参照すれば良い。

30

#### 【実施例3】

#### 【0181】

本実施例では、図1と異なる構造の画素部を形成する場合について図11を用いて説明する。なお、第2層間絶縁膜44を形成する工程までは実施例1に従えば良い。また、第2層間絶縁膜44で覆われたスイッチング用TF T201、電流制御用TF T202は図1と同じ構造であるので、説明は省略する。

#### 【0182】

本実施例の場合、第2層間絶縁膜44及び第1パッシベーション膜41に対してコンタクトホールを形成したら、画素電極51、陰極52及びEL層53を形成する。本実施例では陰極52とEL層53を大気解放しない真空蒸着法で連続的に形成するが、その際にマスク材を用いて選択的に赤色発光のEL層、緑色発光のEL層、青色発光のEL層を別々の画素に形成する。なお、図11には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。これら各色のEL層は公知の材料を採用すれば良い。

40

#### 【0183】

本実施例では画素電極51として、150nm厚のアルミニウム合金膜（1wt%のチタンを含有したアルミニウム膜）を設ける。なお、画素電極の材料としては金属材料であれば如何なる材料でも良いが、反射率の高い材料であることが好ましい。また、陰極52と

50

して230nm厚のMgAg電極を用い、EL層53の膜厚は90nm（下から電子輸送層20nm、発光層40nm、正孔輸送層30nm）とする。

#### 【0184】

次に、透明導電膜（本実施例ではITO膜）からなる陽極54を110nmの厚さに形成する。こうしてEL素子209が形成され、実施例1に示した材料でもって第2パッシベーション膜55を形成すれば図11に示すような構造の画素が完成する。

#### 【0185】

本実施例の構造とした場合、各画素で生成された赤色、緑色又は青色の光はTF Tが形成された基板とは反対側に放射される。そのため、画素内のほぼ全域、即ちTF Tが形成された領域をも有効な発光領域として用いることができる。その結果、画素の有効発光面積が大幅に向上し、画像の明るさやコントラスト比（明暗の比）が向上する。

10

#### 【0186】

なお、本実施例の構成は、実施例1、2のいずれの構成とも自由に組み合わせることが可能である。

#### 【実施例4】

#### 【0187】

本実施例では、実施例1の図2とは異なる構造の画素を形成する場合について図12（A）、（B）を用いて説明する。

#### 【0188】

図12（A）において、1201はスイッチング用TF Tであり、活性層56、ゲート電極57a、ゲート配線57b、ソース配線58及びドレイン配線59を構成として含む。また、1202は電流制御用TF Tであり、活性層60、ゲート電極61、ソース配線62及びドレイン配線63を構成として含む。そして、電流制御用TF T1202のソース配線62は電流供給線64に接続され、ドレイン配線63はEL素子65に接続される。この画素の回路構成を表したのが図12（B）である。

20

#### 【0189】

図12（A）と図2（A）との相違点は、スイッチング用TF Tの構造である。本実施例では線幅が0.1～5μmと細いゲート電極57aを形成し、その部分を横切るようにして活性層56を形成する。そして各画素のゲート電極57aを電氣的に接続するようにゲート配線57bが形成される。これにより面積をさほど専有することなくトリプルゲート構造を実現している。

30

#### 【0190】

他の部分は図2（A）と同様であるが、本実施例のような構造とするとスイッチング用TF Tの専有する面積が小さくなるため有効発光面積が広くなる、即ち画像の明るさが向上する。また、オフ電流値を低減するための冗長性を高めたゲート構造を実現しうるため、さらなる画質の向上を図ることができる。

#### 【0191】

なお、本実施例の構成は実施例2のように電流供給線64を隣接する画素間で共通化しても良いし、実施例3のような構造としても良い。また、作製工程に関しては実施例1に従えば良い。

40

#### 【実施例5】

#### 【0192】

実施例1～4ではトップゲート型TF Tの場合について説明したが、本発明はボトムゲート型TF Tを用いて実施しても構わない。本実施例では逆スタガ型TF Tで本発明を実施した場合について図13に示す。なお、TF T構造以外は図1の構造と同様であるので必要に応じて図1と同じ符号を用いる。

#### 【0193】

図13において、基板11、下地膜12には実施例1と同様の材料を用いることができる。そして、下地膜12上にはスイッチング用TF T1301及び電流制御用TF T1302が形成される。

50

#### 【0194】

スイッチング用TF T 1301の構成は、ゲート電極70a、70b、ゲート配線71、ゲート絶縁膜72、ソース領域73、ドレイン領域74、LDD領域75a～75d、高濃度不純物領域76、チャンネル形成領域77a、77b、チャンネル保護膜78a、78b、第1層間絶縁膜79、ソース配線80及びドレイン配線81を含む。

#### 【0195】

また、電流制御用TF T 1302の構成は、ゲート電極82、ゲート絶縁膜72、ソース領域83、ドレイン領域84、LDD領域85、チャンネル形成領域86、チャンネル保護膜87、第1層間絶縁膜79、ソース配線88及びドレイン配線89を含む。この時、ゲート電極82はスイッチング用TF T 1301のドレイン配線81と電氣的に接続される。

10

#### 【0196】

なお、上記スイッチング用TF T 1301及び電流制御用TF T 1302は公知の逆スタガ型TF Tの作製方法によって形成すれば良い。また、上記TF Tを形成する各部位（配線、絶縁膜、活性層等）の材料は実施例1のトップゲート型TF Tにおいて対応する各部位と同様の材料を用いることができる。但し、トップゲート型TF Tの構成にはないチャンネル保護膜78a、78b、87に関しては、珪素を含む絶縁膜で形成すれば良い。また、ソース領域、ドレイン領域又はLDD領域等の不純物領域の形成については、フォトリソグラフィ技術を用いて個別に不純物濃度を変えて形成すれば良い。

20

#### 【0197】

TF Tが完成したら、第1パッシベーション膜41、絶縁膜（平坦化膜）44、画素電極（陽極）45、EL層46、MgAg電極（陰極）47、アルミニウム電極（保護電極）48、第2パッシベーション膜49を順次形成してEL素子1303を有する画素が完成する。これらの作製工程及び材料に関しては実施例1を参考にすれば良い。

#### 【0198】

なお、本実施例の構成は、実施例2～4のいずれの構成とも自由に組み合わせることが可能である。

#### 【実施例6】

#### 【0199】

実施例1の図5（C）又は図1の構造において、活性層と基板との間に設けられる下地膜として、第1パッシベーション膜41や第2パッシベーション膜49と同様に放熱効果の高い材料を用いることは有効である。特に電流制御用TF Tは多くの電流を流すことになるため発熱しやすく、自己発熱による劣化が問題となりうる。そのような場合に、本実施例のように下地膜が放熱効果を有することでTF Tの熱劣化を防ぐことができる。

30

#### 【0200】

もちろん、基板から拡散する可動イオン等から防ぐ効果も重要であるので、第1パッシベーション膜41と同様にSi、Al、N、O、Mを含む化合物と珪素を含む絶縁膜との積層構造を用いることも好ましい。

#### 【0201】

なお、本実施例の構成は、実施例1～5のいずれの構成とも自由に組み合わせることが可能である。

40

#### 【実施例7】

#### 【0202】

実施例3に示した画素構造とした場合、EL層から発する光は基板とは反対側に放射されるため、基板と画素電極との間に存在する絶縁膜等の透過率を気にする必要がない。即ち、多少透過率の低い材料であっても用いることができる。

#### 【0203】

従って、下地膜12、第1パッシベーション膜41としてダイヤモンド薄膜、ダイヤモンドライクカーボン膜又はアモルファスカーボン膜と呼ばれる炭素膜を用いる上で有利である。即ち、透過率の低下を気にする必要がないため、膜厚を100～500nmという

50



ように厚く設定することができ、放熱効果をより高めることが可能である。

#### 【0204】

なお、第2パッシベーション膜49に上記炭素膜を用いる場合に関しては、やはり透過率の低下は避けるべきであるので、膜厚は5～100nm程度にしておくことが好ましい。

#### 【0205】

なお、本実施例においても下地膜12、第1パッシベーション膜41又は第2パッシベーション膜49のいずれに炭素膜を用いる場合においても、他の絶縁膜と積層して用いることは有効である。

#### 【0206】

なお、本実施例は実施例3に示した画素構造とする場合において有効であり、その他の構成に関しては、実施例1～6のいずれの構成とも自由に組み合わせることが可能である。

#### 【実施例8】

#### 【0207】

本発明ではEL表示装置の画素においてスイッチング用TFEをマルチゲート構造とすることによりスイッチング用TFEのオフ電流値を低減し、保持容量の必要性を排除することを特徴としている。これは保持容量の専有する面積を発光領域として有効に活用するための工夫である。

#### 【0208】

しかしながら、保持容量を完全になくせないまでも専有面積を小さくするだけで有効発光面積を広げるという効果は得られる。即ち、スイッチング用TFEをマルチゲート構造とすることによりオフ電流値を低減し、保持容量の専有面積を縮小化するだけでも十分に本発明の目的は達成される。

#### 【0209】

従って、図14に示すような画素構造とすることも可能である。なお、図14では必要に応じて図1と同じ符号を引用している。

#### 【0210】

図14と図1との相違点は、スイッチング用TFEに接続された保持容量1401が存在する点である。保持容量1401はスイッチング用TFE201のドレイン領域14から延長された半導体領域（下部電極）1402とゲート絶縁膜18と容量電極（上部電極）1403とで形成される。この容量電極1403はTFEのゲート電極19a、19b、35と同時に形成される。

#### 【0211】

この上面図を図15（A）に示す。図15（A）の上面図をA-A'で切った断面図が図14に相当する。図15（A）示すように、容量電極1403は電氣的に接続された接続配線1404を介して電流制御用TFEのソース領域31と電氣的に接続される。なお、接続配線1404はソース配線21、36及びドレイン配線22、37と同時に形成される。また、図15（B）は図15（A）に示す上面図の回路構成を表している。

#### 【0212】

なお、本実施例の構成は、実施例1～7のいずれの構成とも自由に組み合わせることができる。即ち、画素内に保持容量が設けられるだけであって、TFE構造やEL層の材料等に限定を加えるものではない。

#### 【実施例9】

#### 【0213】

実施例1では、結晶質珪素膜302の形成手段としてレーザー結晶化を用いているが、本実施例では異なる結晶化手段を用いる場合について説明する。

#### 【0214】

本実施例では、非晶質珪素膜を形成した後、特開平7-130652号公報に記載された技術を用いて結晶化を行う。同公報に記載された技術は、結晶化を促進（助長）する触

10

20

30

40

50

媒として、ニッケル等の元素を用い、結晶性の高い結晶質珪素膜を得る技術である。

#### 【0215】

また、結晶化工程が終了した後で、結晶化に用いた触媒を除去する工程を行っても良い。その場合、特開平10-270363号若しくは特開平8-330602号に記載された技術により触媒をゲッタリングすれば良い。

#### 【0216】

また、本出願人による特願平11-076967の出願明細書に記載された技術を用いてTF Tを形成しても良い。

#### 【0217】

以上のように、実施例1に示した作製工程は一実施例であって、図1又は実施例1の図5(C)の構造が実現できるのであれば、他の作製工程を用いても問題はない。

#### 【0218】

なお、本実施例の構成は、実施例1～8のいずれの構成とも自由に組み合わせることが可能である。

#### 【実施例10】

#### 【0219】

本発明のEL表示装置を駆動するにあたって、画像信号としてアナログ信号を用いたアナログ駆動を行うこともできるし、デジタル信号を用いたデジタル駆動を行うこともできる。

#### 【0220】

アナログ駆動を行う場合、スイッチング用TF Tのソース配線にはアナログ信号が送られ、その階調情報を含んだアナログ信号が電流制御用TF Tのゲート電圧となる。そして、電流制御用TF TでEL素子に流れる電流を制御し、EL素子の発光強度を制御して階調表示を行う。この場合、電流制御用TF Tは飽和領域で動作させることが望ましい。即ち、 $|V_{ds}| > |V_{gs} - V_{th}|$ の条件内で動作させることが望ましい。なお、ここで $V_{ds}$ はソース領域とドレイン領域との間の電圧、 $V_{gs}$ はソース領域とゲート電極との間の電圧、 $V_{th}$ はTF Tのしきい値電圧である。

#### 【0221】

一方、デジタル駆動を行う場合、アナログ的な階調表示とは異なり、時分割駆動（時間階調駆動）もしくは面積階調駆動と呼ばれる階調表示を行う。即ち、発光時間の長さや発光面積比率を調節することで、視覚的に色階調が変化しているように見せる。この場合、電流制御用TF Tは線形領域で動作させることが望ましい。即ち、 $|V_{ds}| < |V_{gs} - V_{th}|$ の条件内で動作させることが望ましい。

#### 【0222】

EL素子は液晶素子に比べて非常に応答速度が速いため、高速で駆動することが可能である。そのため、1フレームを複数のサブフレームに分割して階調表示を行う時分割駆動に適した素子であると言える。また、1フレーム期間が短いため電流制御用TF Tのゲート電圧を保持しておく時間も短くて済み、保持容量を小さくする、もしくは省略する上で有利と言える。

#### 【0223】

このように、本発明は素子構造に関する技術であるので、駆動方法は如何なるものであっても構わない。

#### 【実施例11】

#### 【0224】

本実施例では、本発明のEL表示装置の画素構造の例を図21(A)、(B)に示す。なお、本実施例において、4701はスイッチング用TF T 4702のソース配線、4703はスイッチング用TF T 4702のゲート配線、4704は電流制御用TF T、4705は電流供給線、4706は電源制御用TF T、4707は電源制御用ゲート配線、4708はEL素子とする。電源制御用TF T 4706の動作については特願平11-341272号を参照すると良い。

10

20

30

40

50

#### 【0225】

また、本実施例では電源制御用TFT4706を電流制御用TFT4704とEL素子4708との間に設けているが、電源制御用TFT4706とEL素子4708との間に電流制御用TFT4704が設けられた構造としても良い。また、電源制御用TFT4706は電流制御用TFT4704と同一構造とするか、同一の活性層で直列させて形成するのが好ましい。

#### 【0226】

また、図21(A)は、二つの画素間で電流供給線4705を共通とした場合の例である。即ち、二つの画素が電流供給線4705を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

10

#### 【0227】

また、図21(B)は、ゲート配線4703と平行に電流供給線4710を設け、ソース配線4701と平行に電源制御用ゲート配線4711を設けた場合の例である。なお、図21(B)では電流供給線4710とゲート配線4703とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を挟んで重なるように設けることもできる。この場合、電流供給線4710とゲート配線4703とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

#### 【実施例12】

#### 【0228】

本実施例では、本発明のEL表示装置の画素構造の例を図22(A)、(B)に示す。なお、本実施例において、4801はスイッチング用TFT4802のソース配線、4803はスイッチング用TFT4802のゲート配線、4804は電流制御用TFT、4805は電流供給線、4806は消去用TFT、4807は消去用ゲート配線、4808はEL素子とする。消去用TFT4806の動作については特願平11-338786号を参照すると良い。

20

#### 【0229】

消去用TFT4806のドレインは電流制御用TFT4804のゲートに接続され、電流制御用TFT4804のゲート電圧を強制的に変化させることができるようになっている。なお、消去用TFT4806はnチャネル型TFTとしてもpチャネル型TFTとしても良いが、オフ電流を小さくできるようにスイッチング用TFT4802と同一構造とすることが好ましい。

30

#### 【0230】

また、図22(A)は、二つの画素間で電流供給線4805を共通とした場合の例である。即ち、二つの画素が電流供給線4805を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

#### 【0231】

また、図22(B)は、ゲート配線4803と平行に電流供給線4810を設け、ソース配線4801と平行に消去用ゲート配線4811を設けた場合の例である。なお、図22(B)では電流供給線4810とゲート配線4803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を挟んで重なるように設けることもできる。この場合、電流供給線4810とゲート配線4803とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

40

#### 【実施例13】

#### 【0232】

本発明のEL表示装置は画素内にいくつのTFTを設けた構造としても良い。実施例11、12ではTFTを三つ設けた例を示しているが、四つ乃至六つのTFTを設けても構わない。本発明はEL表示装置の画素構造に限定されずに実施することが可能である。

#### 【実施例14】

50

【0233】

本実施例では、図1の電流制御用TFT202としてpチャネル型TFTを用いた場合の例について説明する。なお、その他の部分は図1と同様であるので詳細な説明は省略する。

【0234】

本実施例の画素の断面構造を図23に示す。本実施例で用いるpチャネル型TFTの作製方法は実施例1を参考にすれば良い。pチャネル型TFTの活性層はソース領域91、ドレイン領域92およびチャネル形成領域93を含み、ソース領域91はソース配線36に、ドレイン領域92はドレイン配線37に接続されている。

【0235】

このように、電流制御用TFTにEL素子の陽極が接続される場合は、電流制御用TFTとしてpチャネル型TFTを用いることが好ましい。

【0236】

なお、本実施例の構成は、実施例1～13のいずれの構成とも自由に組み合わせて実施することが可能である。

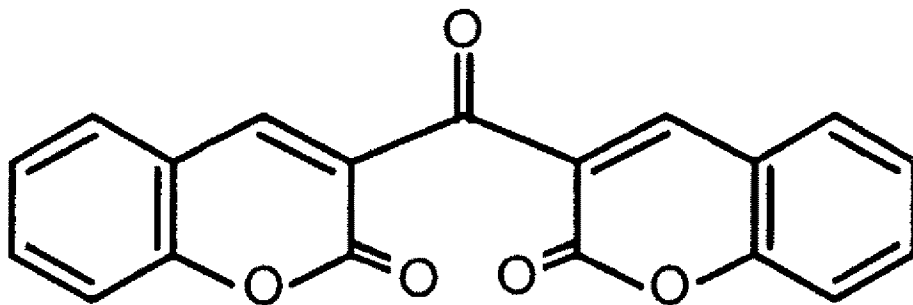
【実施例15】

【0237】

本発明において、三重項励起子からの燐光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo, 1991) p.437.) 上記論文に報告されたEL材料(クマリン色素)の分子式を以下に示す。

【0238】

【化8】

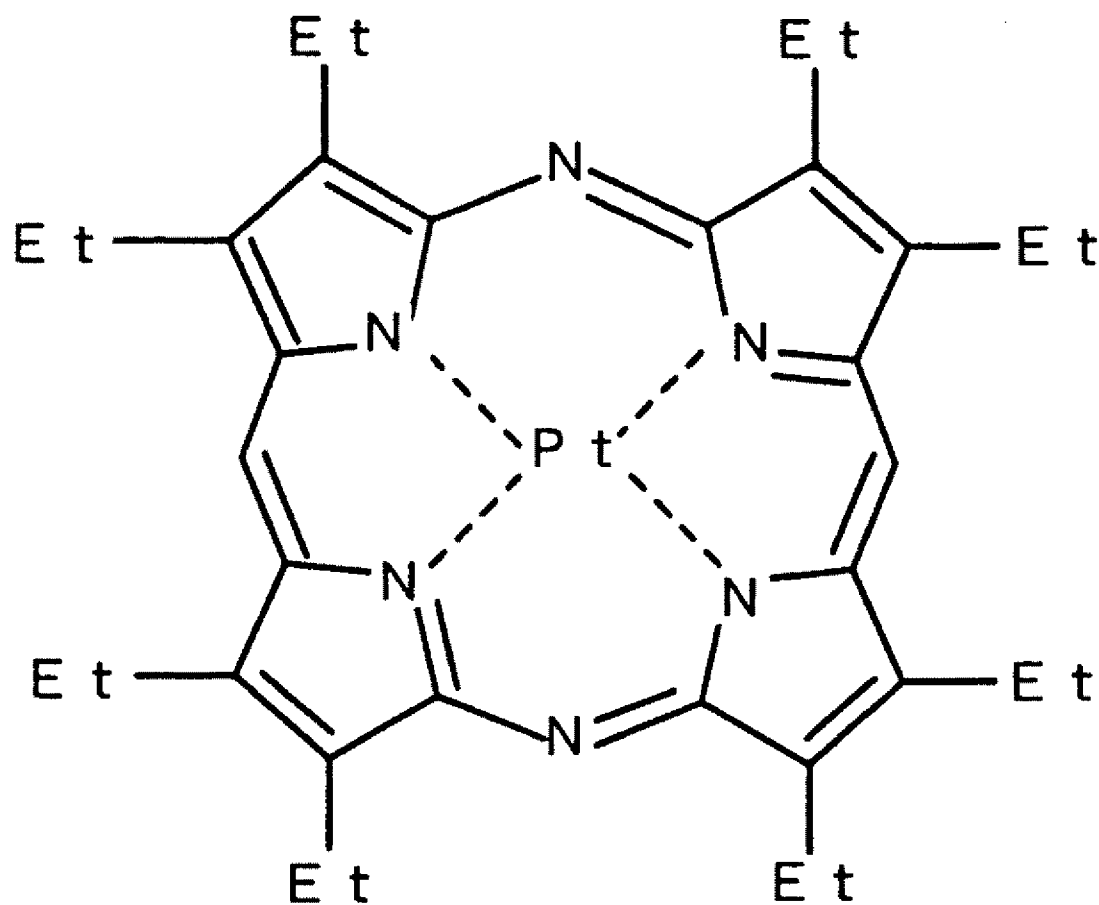


【0239】

(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

上記論文に報告されたEL材料(Pt錯体)の分子式を以下に示す。

【0240】

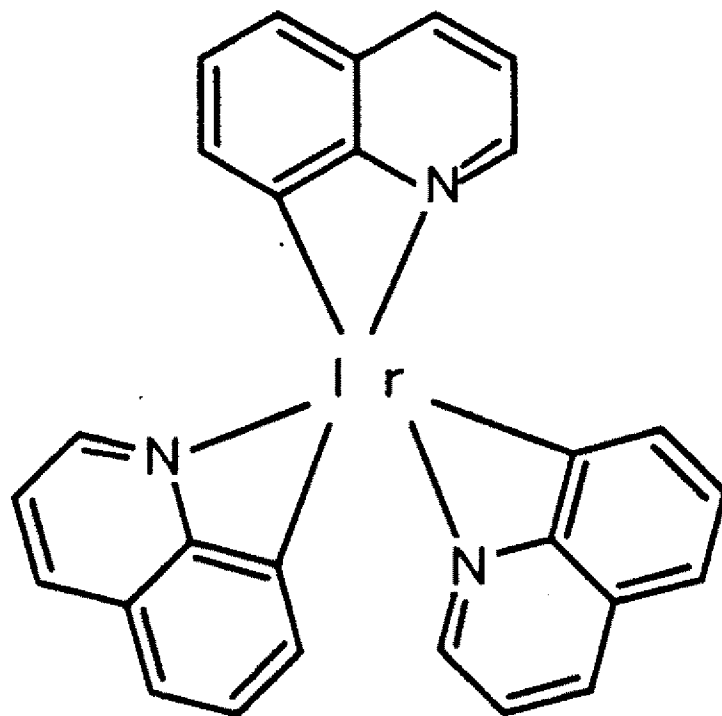


【 0 2 4 1 】

(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett.,75 (1999) p.4.)(T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

上記論文に報告された E L 材料 ( I r 錯体 ) の分子式を以下に示す。

【 0 2 4 2 】



## 【0243】

以上のように三重項励起子からの磷光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、実施例1～実施例13のいずれの構成とも自由に組み合わせて実施することが可能である。

## 【実施例16】

## 【0244】

実施例1ではEL層として有機EL材料を用いることが好ましいとしたが、本発明は無機EL材料を用いても実施できる。但し、現在の無機EL材料は非常に駆動電圧が高いため、アナログ駆動を行う場合には、そのような駆動電圧に耐えうる耐圧特性を有するTFTを用いなければならない。

## 【0245】

または、将来的にさらに駆動電圧の低い無機EL材料が開発されれば、本発明に適用することは可能である。

## 【0246】

また、本実施例の構成は、実施例1～14のいずれの構成とも自由に組み合わせることが可能である。

## 【実施例17】

## 【0247】

本発明を実施して形成されたアクティブマトリクス型EL表示装置（ELモジュール）は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れている。そのため直視型のELディスプレイ（ELモジュールを組み込んだ表示ディスプレイを指す）として用途は広い。

## 【0248】

なお、ELディスプレイが液晶ディスプレイよりも有利な点の一つとして視野角の広さ

10

20

30

40

50

が挙げられる。従って、ＴＶ放送等を大画面で鑑賞するには対角３０インチ以上（典型的には４０インチ以上）の表示ディスプレイ（表示モニタ）として本発明のＥＬディスプレイを用いるとよい。

【０２４９】

また、ＥＬディスプレイ（パソコンモニタ、ＴＶ放送受信用モニタ、広告表示モニタ等）として用いるだけでなく、様々な電子装置の表示ディスプレイとして用いることができる。

【０２５０】

その様な電子装置としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（ＣＤ）、レーザーディスク（ＬＤ）又はデジタルビデオディスク（ＤＶＤ）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子装置の例を図１６に示す。

10

【０２５１】

図１６（Ａ）はパーソナルコンピュータであり、本体２００１、筐体２００２、表示部２００３、キーボード２００４を含む。本発明は表示部２００３に用いることができる。

【０２５２】

図１６（Ｂ）はビデオカメラであり、本体２１０１、表示部２１０２、音声入力部２１０３、操作スイッチ２１０４、バッテリー２１０５、受像部２１０６を含む。本発明を表示部２１０２に用いることができる。

20

【０２５３】

図１６（Ｃ）はゴーグル型ディスプレイであり、本体２２０１、表示部２２０２、アーム部２２０３を含む。本発明は表示部２２０２に用いることができる。

【０２５４】

図１６（Ｄ）は携帯型（モバイル）コンピュータであり、本体２３０１、カメラ部２３０２、受像部２３０３、操作スイッチ２３０４、表示部２３０５を含む。本発明は表示部２３０５に用いることができる。

【０２５５】

図１６（Ｅ）は記録媒体を備えた画像再生装置（具体的にはＤＶＤ再生装置）であり、本体２４０１、記録媒体（ＣＤ、ＬＤまたはＤＶＤ等）２４０２、操作スイッチ２４０３、表示部（ａ）２４０４、表示部（ｂ）２４０５を含む。表示部（ａ）は主として画像情報を表示し、表示部（ｂ）は主として文字情報を表示するが、本発明はこれら表示部（ａ）、（ｂ）に用いることができる。なお、記録媒体を備えた画像再生装置としては、ＣＤ再生装置、ゲーム機器などに本発明を用いることができる。

30

【０２５６】

図１６（Ｆ）はＥＬディスプレイであり、筐体２５０１、支持台２５０２、表示部２５０３を含む。本発明は表示部２５０３に用いることができる。本発明のＥＬディスプレイは特に大画面化した場合において有利であり、対角１０インチ以上（特に対角３０インチ以上）のディスプレイには有利である。

40

【０２５７】

また、将来的にＥＬ材料の発光輝度が高くなれば、フロント型若しくはリア型のプロジェクターに用いることも可能となる。

【０２５８】

また、上記電子装置はインターネットやＣＡＴＶ（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。ＥＬ材料の応答速度は非常に高いため、そのような動画表示を行うのに適している。

【０２５９】

また、ＥＬ表示装置は発光している部分が電力を消費するため、発光部分が極力少なく

50

なるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話やカーオーディオのような文字情報を主とする表示部にＥＬ表示装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

#### 【０２６０】

ここで図２０（Ａ）は携帯電話であり、本体２６０１、音声出力部２６０２、音声入力部２６０３、表示部２６０４、操作スイッチ２６０５、アンテナ２６０６を含む。本発明のＥＬ表示装置は表示部２６０４に用いることができる。なお、表示部２６０４は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

#### 【０２６１】

また、図２０（Ｂ）は車載用オーディオ（カーオーディオ）であり、本体２７０１、表示部２７０２、操作スイッチ２７０３、２７０４を含む。本発明のＥＬ表示装置は表示部２７０２に用いることができる。また、本実施例では車載用オーディオを示すが、据え置き型オーディオに用いても良い。なお、表示部２７０２は黒色の背景に白色の文字を表示することで消費電力を抑えられる。

#### 【０２６２】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子装置に適用することが可能である。また、本実施例の電子装置は実施例１～１６のどのような組み合わせからなる構成を用いても実現することができる。

#### 【図面の簡単な説明】

#### 【０２６３】

【図１】 ＥＬ表示装置の画素部の断面構造を示す図。

【図２】 ＥＬ表示装置の画素部の上面構造及び構成を示す図。

【図３】 アクティブマトリクス型ＥＬ表示装置の作製工程を示す図。

【図４】 アクティブマトリクス型ＥＬ表示装置の作製工程を示す図。

【図５】 アクティブマトリクス型ＥＬ表示装置の作製工程を示す図。

【図６】 ＥＬモジュールの外観を示す図。

【図７】 ＥＬ表示装置の回路ブロック構成を示す図。

【図８】 ＥＬ表示装置の画素部を拡大した図。

【図９】 ＥＬ表示装置のサンプリング回路の素子構造を示す図。

【図１０】 ＥＬ表示装置の画素部の構成を示す図。

【図１１】 ＥＬ表示装置の画素部の断面構造を示す図。

【図１２】 ＥＬ表示装置の画素部の上面構造及び構成を示す図。

【図１３】 ＥＬ表示装置の画素部の断面構造を示す図。

【図１４】 ＥＬ表示装置の画素部の断面構造を示す図。

【図１５】 ＥＬ表示装置の画素部の上面構造及び構成を示す図。

【図１６】 電子装置の具体例を示す図。

【図１７】 ＥＬモジュールの外観を示す図。

【図１８】 コンタクト構造の作製工程を示す図。

【図１９】 ＥＬ層の積層構造を示す図。

【図２０】 電子装置の具体例を示す図。

【図２１】 ＥＬ表示装置の画素部の回路構成を示す図。

【図２２】 ＥＬ表示装置の画素部の回路構成を示す図。

【図２３】 ＥＬ表示装置の画素部の断面構造を示す図。

10

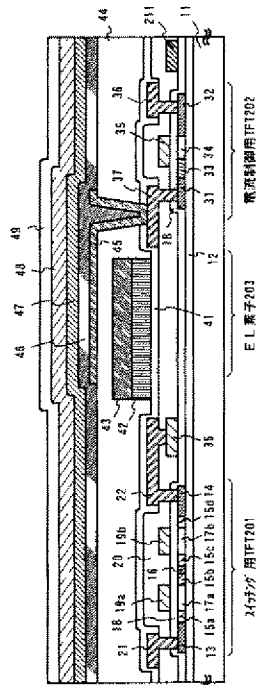
20

30

40



【図 1】



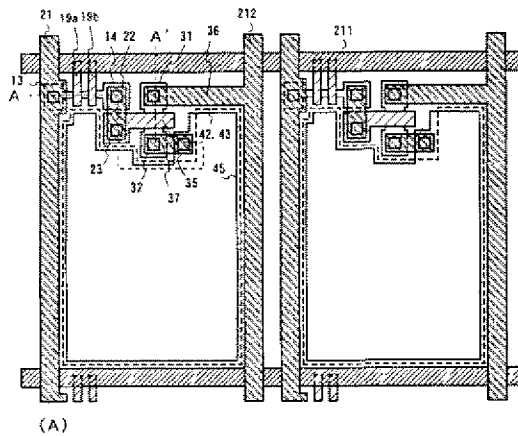
EL素子203

217-221用ITO膜

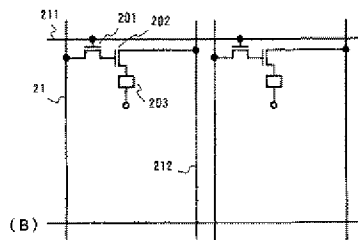
電流制御用ITO膜

11: 基板 12: 下地膜 13: 2nd層膜 14: 1st層膜 15a~15d: LED層膜 15: 高濃度不純物領域  
17a, 17b: 3rd層膜 18a, 18b: 4th層膜 19a, 19b: 5th層膜 20: 第1層膜 21: 2nd層膜 22: 3rd層膜 23: 4th層膜 24: 5th層膜 25: 6th層膜 26: 7th層膜 27: 8th層膜 28: 9th層膜 29: 10th層膜 30: 11th層膜 31: 12th層膜 32: 13th層膜 33: 14th層膜 34: 15th層膜 35: 16th層膜 36: 17th層膜 37: 18th層膜 38: 19th層膜 39: 20th層膜 40: 21st層膜 41: 22nd層膜 42: 23rd層膜 43: 24th層膜 44: 25th層膜 45: 26th層膜 46: 27th層膜 47: 28th層膜 48: 29th層膜

【図 2】

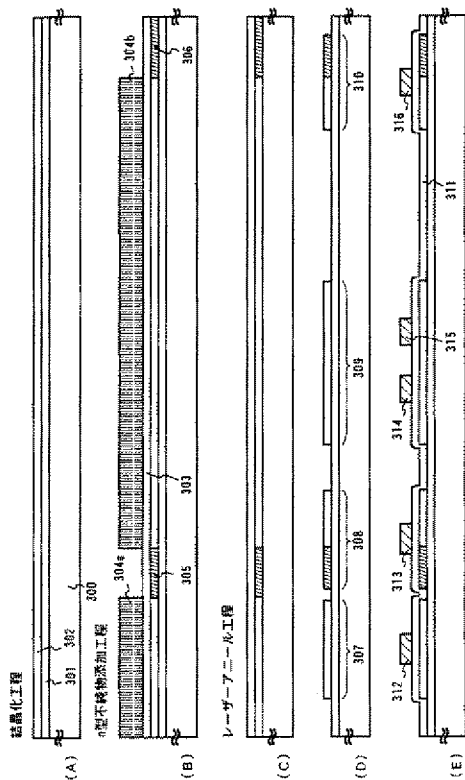


(A)



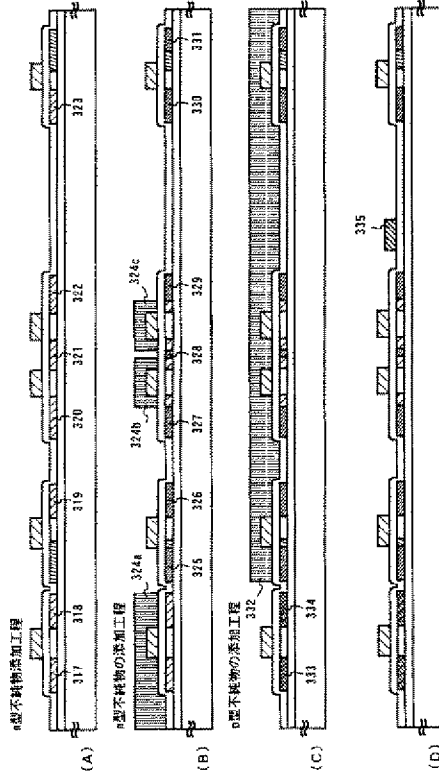
(B)

【図 3】



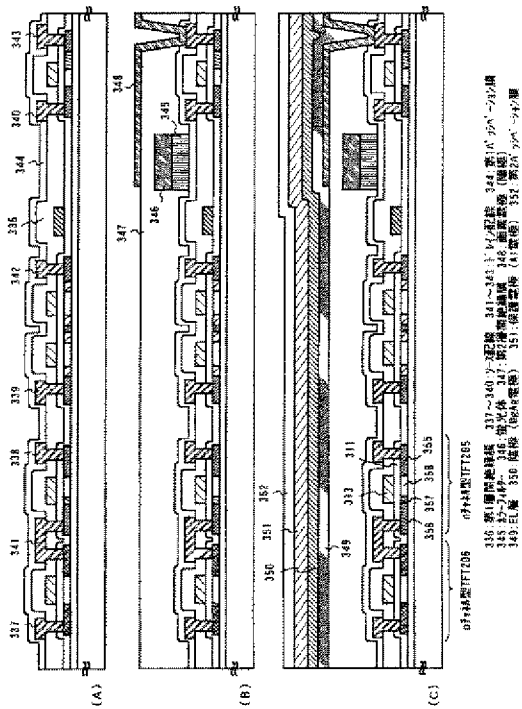
300: 2nd層膜 301: 下地膜 302: 3rd層膜 303: 4th層膜 304a~304b: 5th層膜 305, 306: n型不純物領域(a) 307~310: 活性層 311: p型不純物領域 312~316: p型不純物領域

【図 4】

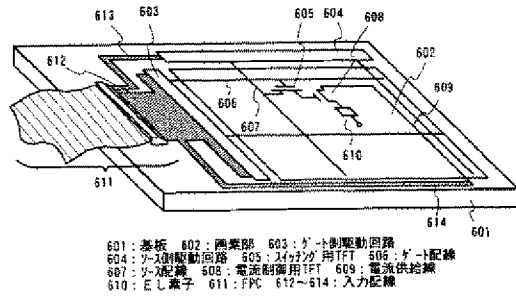


317~321: n型不純物領域(a) 322~324c: 322: 5th層膜 323, 324: n型不純物領域(a) 325, 326: p型不純物領域(b) 327~329: 活性層 330~331: n型不純物領域(a) 332, 333, 334: n型不純物領域(a) 335: p型不純物領域

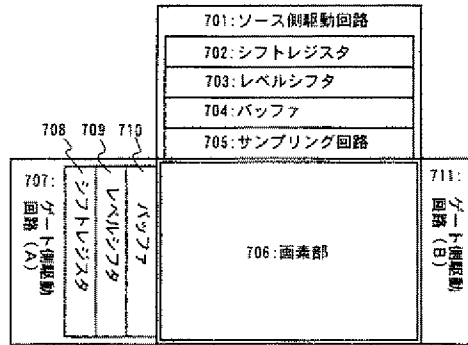
【図 5】



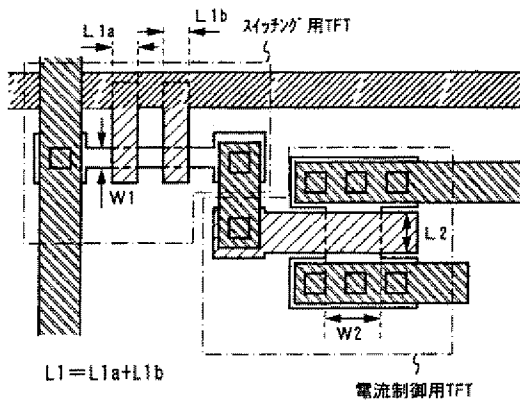
【図 6】



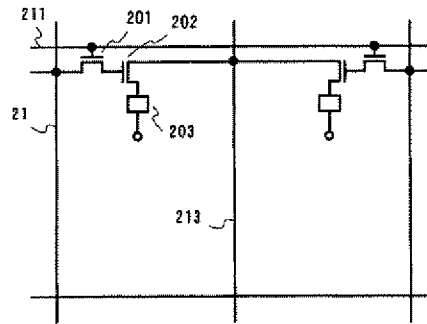
【図 7】



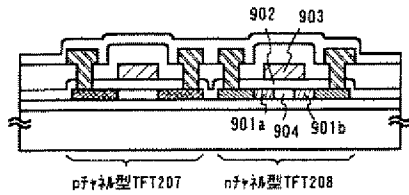
【図 8】



【図 10】

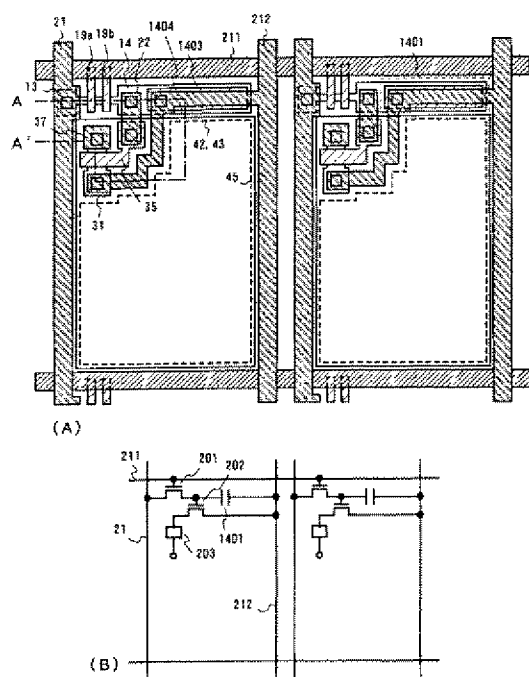


【図 9】

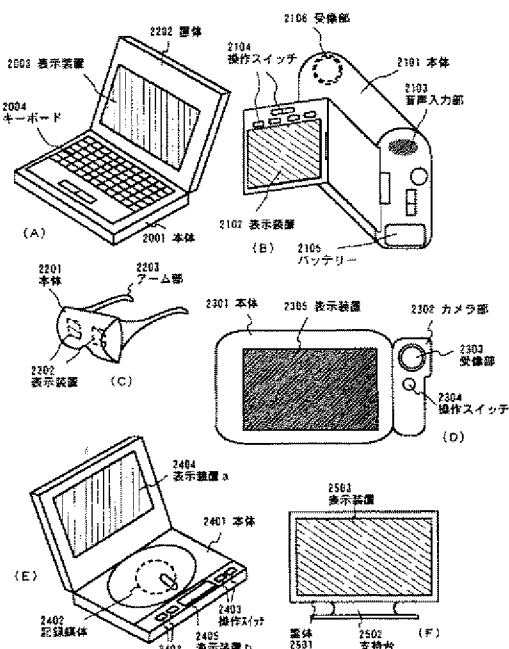




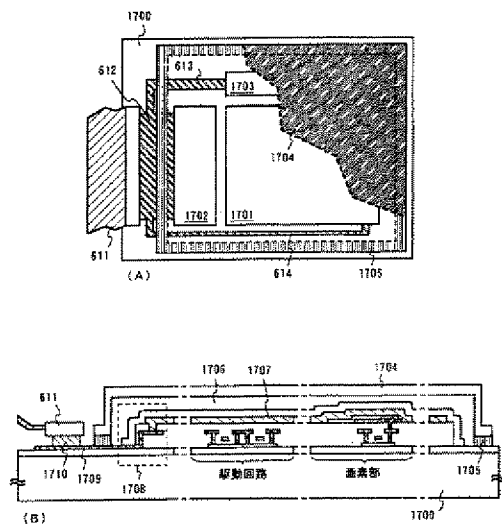
【図 15】



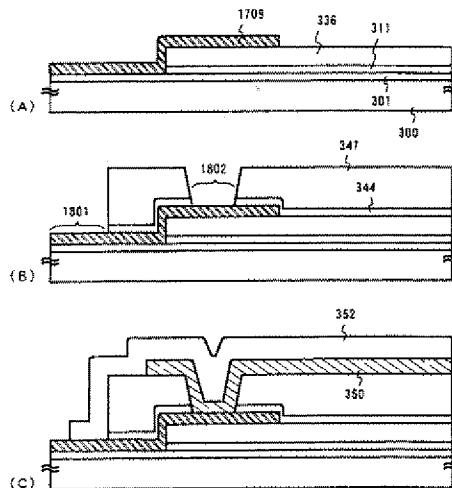
【図 16】



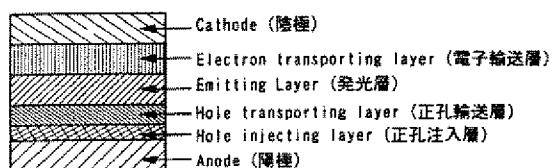
【図 17】



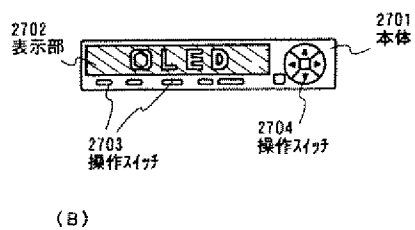
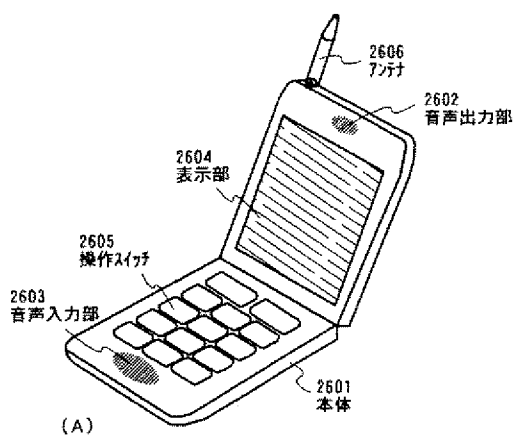
【図 18】



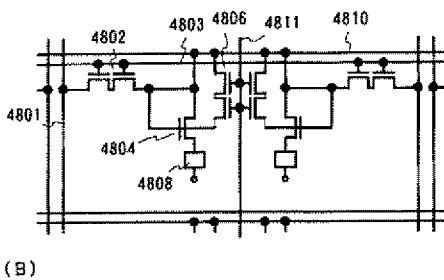
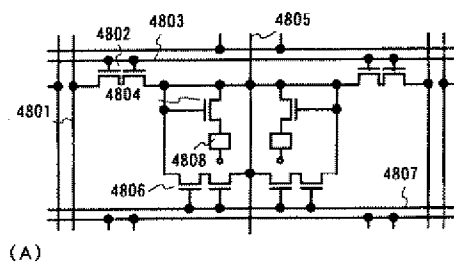
【図 19】



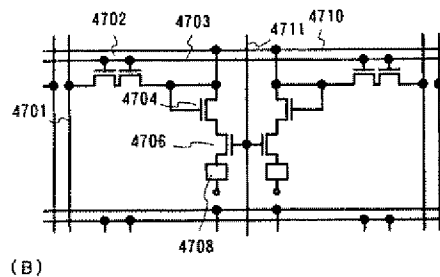
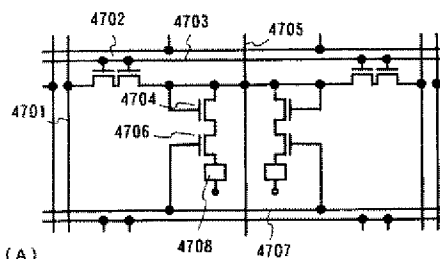
【図 20】



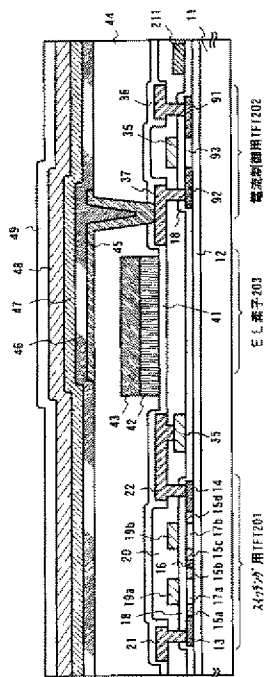
【図 22】



【図 21】



【図 23】



---

フロントページの続き

F ターム(参考) 3K007 AB12 AB18 BA06 BB01 BB05 DB03 EA01 FA02  
5C094 AA02 AA13 AA38 BA03 BA27 DA07 DA20 HA08 HA10